



Zespół Szkół Technicznych  
i Ogólnokształcących  
w Jarosławiu

**Montowanie układów cyfrowych  
i pomiary ich parametrów  
311[07].O2.02**

Klasa: 2TE / 3TE

Ćwiczenie

**Temat: Badanie demultipleksera.**

**Cel ćwiczenia:**

- a) budowa 2 – wyjściowego demultipleksera z bramek logicznych
- b) budowa 8 – wyjściowego demultipleksera z układem scalonym CMOS

**Wyposażenie stanowiska kontrolno – pomiarowego**

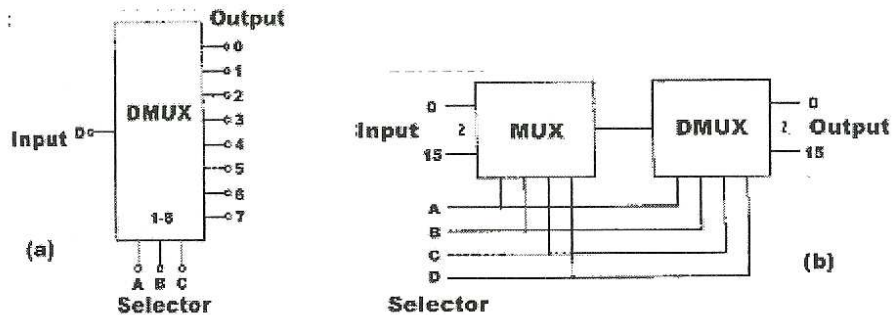
- a) moduł podstawowy KL - 31001
- b) moduł KL – 33006

## CEL ĆWICZEŃ

Zapoznanie się z zasadą działania i budową demultiplekserów.

## PODSTAWY TEORETYCZNE

Demultiplekser (w skrócie DMUX) jest zasadniczo obwodem logicznymi, który pracuje dokładnie odwrotnie do multipleksersa. DMUX ma jedno wejście i wiele wyjść. Wejście może być podłączone do dowolnego z wyjść przez układ adresujący (selektor). Demultiplekser jest nazywany również rozdzielaczem danych lub routerem. Układ wyprowadzeń demultipleksersa pokazano na rysunku 2-74 (a).



Rys. 2-74

Gdy wszystkie trzy wejścia adresujące A, B i C są w stanie niskim (CBA=000), dane z wejścia D są przesyłane do wyjścia 0. Gdy CBA=010, dane wejściowe są wysyłane do wyjścia numer 2. Kombinacja stanów na wejściach układu selektora określa port wyjściowy danych. Gdy CBA=111, dane z wejścia wysyłane są do ostatniego wyjścia (linia o numerze 7). Zestawiając układ multipleksersa i demultipleksersa, można realizować transmisję danych na duże odległości, zwiększając jednocześnie efektywność wykorzystania łączy transmisyjnych. Na rysunku 2-74 (b) przedstawiono taki układ transmisyjny o 16 wejściach, 16 wyjściach i 4 liniach adresowych.

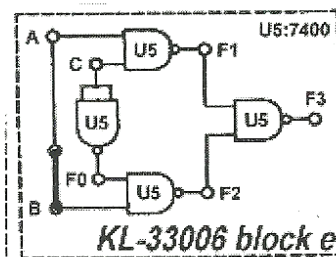
## WYMAGANE WYPOSAŻENIE

Moduł podstawowy KL-31001, moduł KL-33006

## ĆWICZENIA

(a) Budowa 2-wyjściowego demultipleksersa z bramek logicznych

1. Wpiąć zwieracze zgodnie z rysunkiem 2-75. Podłączyć wejście A do przełącznika SW0, C do SW3, F1 i F2 do wskaźników L0 i L1.

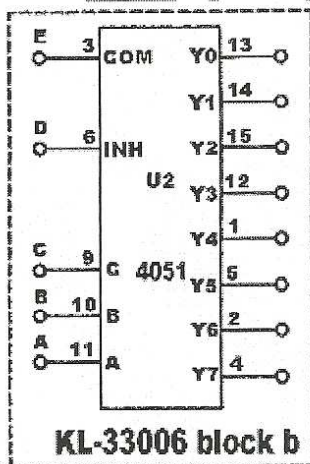


Rys. 2-75

- Ustawić stan „0” na wejściu C i zmienić stan na wejściu A. Obserwować jak zmieniają się stany na wyjściach F1 i F2. Ustawić teraz stan „1” na wejściu C i zmieniać stan na wejściu A. Obserwować jak reagują wyjścia F1 i F2 na zmianę stanu wejścia A.

(b) Budowa 8-wyjściowego demultipleksera z układem scalonym CMOS

- W tym ćwiczeniu wykorzystany zostanie układ U2 (4051) z bloku b w module KL-33006.



Rys. 2-76

- Podłączyć wejście E do przełącznika logicznego DIP1.0, D do DIP1.1, A do SW0, B do SW1, C do SW2, a wyjścia Y0~Y7 do wskaźników stanów logicznych odpowiednio L0~L7.
- Przy D=0 podać na wejście E sekwencję bitów 1-0-1-0 i obserwować stany wyjść Y0~Y7. Czy stan wyjść ulega zmianie, gdy na wejściu pojawia się sekwencja bitów?

Ustawić D=1 i podać na wejście E sekwencję bitów 1-0-1-0. Czy stan wyjść Y0~Y7 ulega zmianie, gdy na wejściu pojawia się sekwencja bitów?

Jaki stan na wejściu D pozwala na zamianę stanu wyjść układu?

Zmieniając stan wejść C, B, A zgodnie z tabelą 2-36 (a), podawać na wejście E tą samą sekwencję bitów (1-0-1-0) i notować stan wyjść.

C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

Tabela 2-36 (a)

- Przebudować obwód, usuwając połączenia wykonane w punkcie 2. Podłączyć wejścia Y0~Y7 do przełączników logicznych DIP1.0~DIP1.7, E do L0, D do SW3, C do SW2, B do SW1 i A do SW0.

Zmieniać kolejno stan wyjść Y0~Y7 w sekwencji 1-0-1 i obserwować stan wejścia E. Czy stan wejścia E ulega zmianie w takt zmian stanu wyjść?

Zmieniając stan wejść C, B, A zgodnie z tabelą 2-36 (b), obserwować zależność między wejściem E i wyjściami Y0~Y7. Czy tabela 2-36 (b) jest prawidłowa?

C	B	A	E
0	0	0	Y0
0	0	1	Y1
0	1	0	Y2
0	1	1	Y3
1	0	0	Y4
1	0	1	Y5
1	1	0	Y6
1	1	1	Y7

Tabela 2-36 (b)

Czy zależność między wejściem E i wyjściami Y0~Y7 z tabeli 2-36 (b) pozostaje, gdy wejście D zmienia stan?