

## Temat: Pamięci. Programowalne struktury logiczne.

1. **Pamięci** są układami służącymi do przechowywania informacji w postaci ciągu słów bitowych. Wykonuje się jako układy o bardzo dużym stopniu scalenia w technice TTL, ECL, CMOS i NMOS. Pamięć podzielona jest na komórki (rejstry), każda z nich posiada swój adres umożliwiający dostęp do zawartej w niej informacji. Liczba bitów w komórce określa organizację pamięci, czyli sposób dostępu do informacji. Zazwyczaj komórki pamięci zawierają 8 bitów (choć mogą mieć 4 bity), wówczas mówimy o organizacji słownej typu  $N \cdot 8$  ( $N \cdot 4$ ), gdzie  $N$  oznacza ilość komórek. Jeśli pamięć ma komórki jednobitowe mówimy, że jest to pamięć bitowa.

2. **Organizacja pamięci** wiąże się z podstawowym parametrem pamięci:

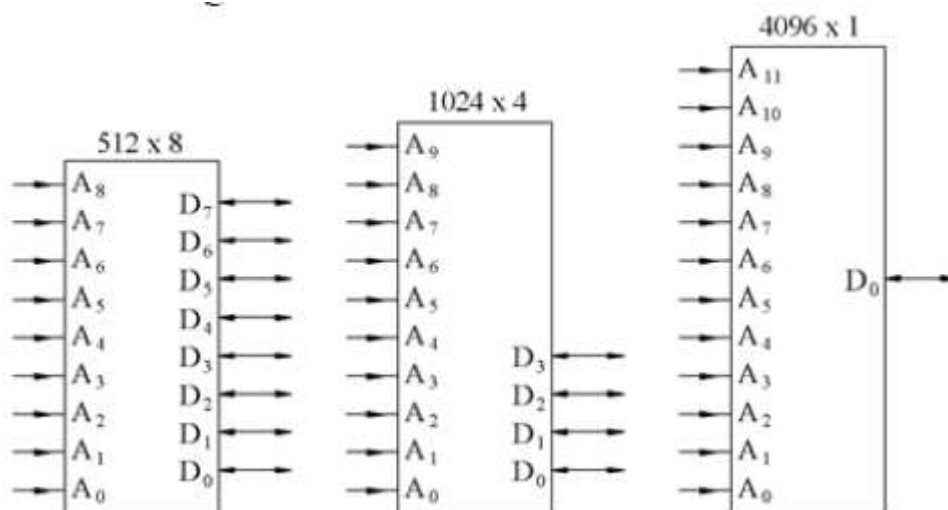
- pojemność  $P$ , określająca jak wiele informacji można w niej przechowywać. Pojemność pamięci określa się w bitach [b], ze względu na bardzo szybki postęp technologiczny umożliwiający wykonywanie pamięci o dużych pojemnościach, powszechnie używa się pamięci o pojemnościach wyrażanych w kilobitach [Kb] ( $1\text{Kb} = 2^{10} \text{ b} = 1024 \text{ b}$ ) lub megabitach [Mb] ( $1\text{Mb} = 1\text{K} \cdot \text{K b} = 2^{20} \text{ b} = 1048576 \text{ b}$ ).

3. Przykłady

a) Pamięć o 10 wejściach adresowych i komórkach 8-bitowych, czyli długości słowa 1 bajt (1B) ma pojemność  $P = 2^{10} \text{ B} = 1\text{KB}$ . Pamięć tej samej pojemności może być zorganizowana na kilka sposobów zależnie od ilości słów i ich długości.

b) Pamięć o pojemności 4Kb może posiadać organizację:

- $512 \cdot 8$ , czyli 512 słów o długości 8 bitów,
- $1024 \cdot 4$ , czyli 1024 słowa o długości 4 bity,
- $4096 \cdot 1$ , czyli 4096 słów o długości 1 bit.



Rys.43. Przykłady organizacji pamięci 4Kb.

4. Układy pamięci mogą posiadać następujące wejścia i wyjścia:

- wejścia adresowe umożliwiające dostęp do określonych komórek,

- wejścia sterujące między innymi są to: wejście uaktywniające pamięć CS (CE), wejście zezwalające na zapis WR (WE), wejście zezwalające na odczyt RD (OE), wejście strobulujące adresów ALE (RAS lub CAS),
- wejścia /wyjścia danych (informacyjne D).

5. Pamięci dzielimy na:

- pamięci odczyt – zapis, popularnie zwane RAM,
- pamięci stałe ROM - tylko do odczytu.

## 6. Parametry dynamiczne pamięci

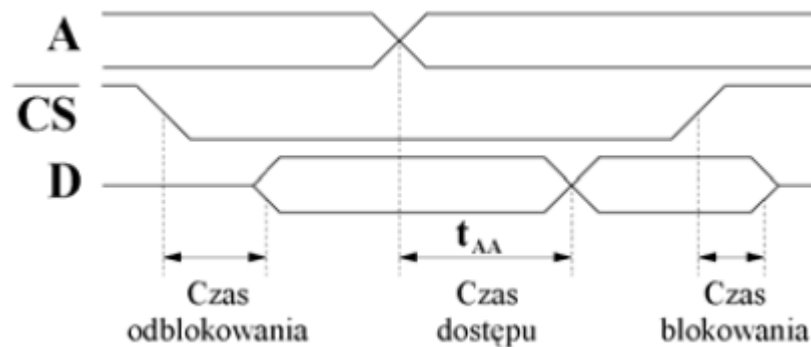
Podstawowe parametry dynamiczne pamięci to czasy: dostępu, cyklu i blokowania.

a) **czas dostępu  $t_{AA}$**  - jest to czas liczony od wystąpienia nowego adresu do pojawienia się na wyjściach układu zawartości komórki pamięci o tym adresie.

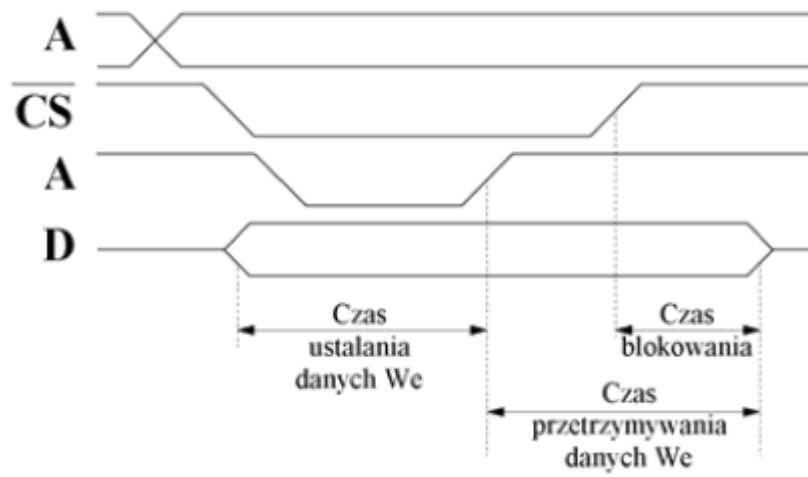
b) **czas cyklu** - to minimalny odstęp czasu między kolejnymi prawidłowymi zapisami i/lub odczytami pamięci. Rozróżnia się czasami czas cyklu zapisu, cyklu odczytu i cyklu odczyt zapisu.

c) **czas blokowania** - to odstęp czasu liczony od zmiany stanu wejścia wybierającego  $\overline{CS}$  do chwili przejścia wyjść/wejść danych do stanu wielkiej impedancji. Czas odblokowania jest liczony od zmiany stanu wejścia wybierającego  $\overline{CS}$  do chwili przejścia wejść/ wyjść danych do trybu pracy dwustanowej.

Dla bezkolizyjnej współpracy kilku bloków pamięci trójstanowych o połączonych wyjściach czas blokowania tych układów powinien być krótszy niż czas odblokowania.



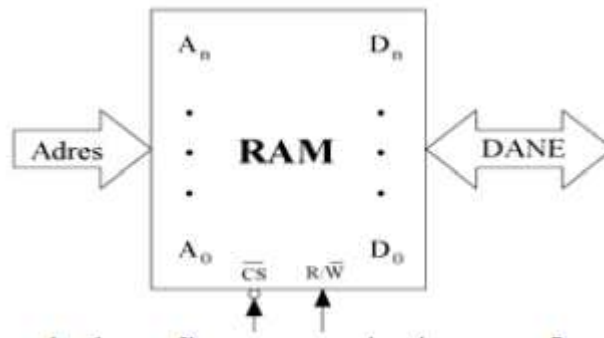
Rys. 44. Przebiegi czasowe sygnałów przy odczycie informacji z pamięci



Rys. 45. Przebiegi czasowe sygnałów przy zapisie informacji do pamięci

## Temat: Pamięć RAM i ROM

**1. Pamięć RAM** jest zespołem rejestrów równoległych. Informacja może być zapisywana w dowolnym rejestrze lub odczytywana z dowolnego rejestru, dlatego pamięć ta nazywa się pamięcią o dostępie bezpośrednim.



Rys.46. Symbol graficzny pamięci RAM.[2, s.264]

### 2. Pamięć RAM posiada:

- wejścia adresowe  $A_0 \dots A_n$ ,
- wejście uaktywniające  $\overline{CS}$ ,
- wejście wyboru trybu pracy  $R/\overline{W}$ ,
- wejścia / wyjścia danych  $D_0 \dots D_m$ .

### 3. Pamięć RAM wykonuje się jako układy:

- bipolarne TTL i ECL charakteryzujące się małymi pojemnościami, dużymi prądami zasilającymi i małą szybkością działania (porównywalnie szybkie z CMOS są pamięci ECL)
- unipolarne CMOS i NMOS: statyczne SRAM i dynamiczne DRAM (obecnie DDRAM).

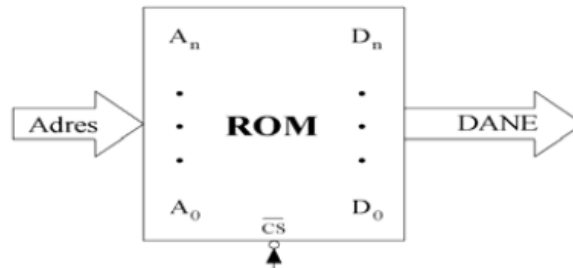
4. **Pamięci dynamiczne DRAM** wymagają okresowego odświeżania zawartych informacji, mogą one posiadać wewnętrzny układ odświeżania. Obecnie powszechnie stosowane są pamięci DDRAM.

5. **Pamięć ROM** to pamięć stała, której zawartość podczas eksploatacji jest niezmienna, raz zapisana informacja jest trwale przechowywana i może być wielokrotnie odczytywana. Pamięć ROM jest cyfrowym układem kombinacyjnym.

### 6. Pamięci stałe mogą być programowane:

- przez wytwórcę podczas produkcji - pamięci MROM,
- przez użytkownika za pomocą specjalnych programatorów w sposób trwały, bez możliwości wykasowania zapisanej informacji - pamięci PROM (wykonywane są zazwyczaj jako układy bipolarne),
- przez użytkownika w sposób prawie trwały, z możliwością wykasowania zapisanej informacji - pamięci EPROM (wykonywane są zazwyczaj jako układy unipolarne).

7. Pamięci EPROM mogą być zapisywane metodą elektryczną, a kasowane promieniami X lub promieniami ultrafioletowymi, albo zapisywane i kasowane elektrycznie – wtedy noszą nazwę EEPROM.

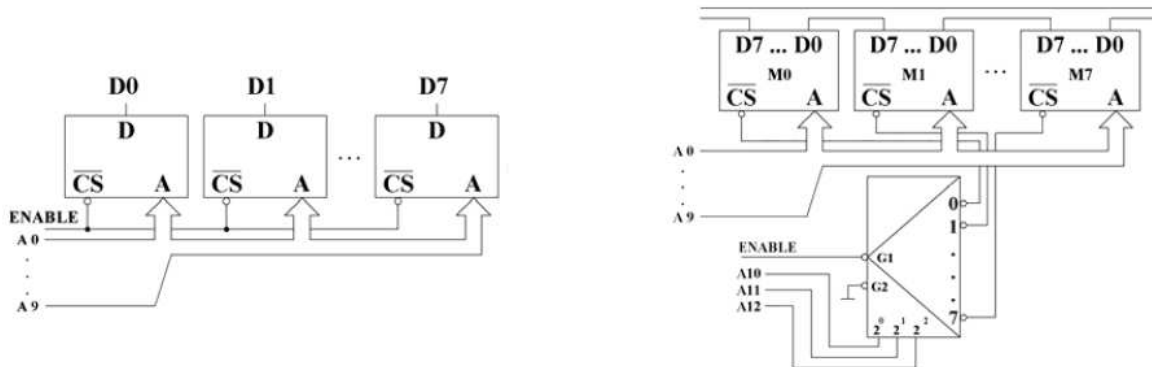


Rys.47. Symbol graficzny pamięci ROM.

### 8. Zwiększanie pojemności pamięci

Układy pamięci można ze sobą łączyć otrzymując w ten sposób bloki pamięci o większej pojemności. Zwiększenie pojemności uzyskuje się:

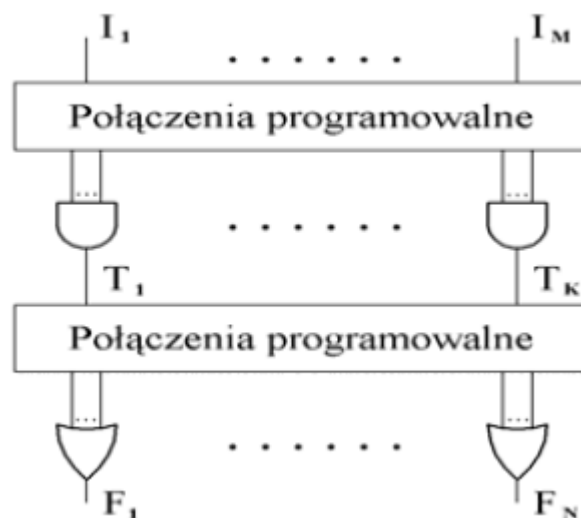
- zwiększając długość słowa,
- zwiększając ilość pamiętanych słów (uaktywniając poszczególne układy pamięci – wejście CS, poprzez multiplexer).



Rys. 48. Powiększenie pojemności pamięci przez a) zwiększenie długości słowa, b) zwiększenie liczby pamiętanych słów

## Temat: Programowalne struktury logiczne PLD

1. **Programowalne moduły logiczne PLD** są układami o standardowej strukturze, które można dostosować do potrzeb użytkownika poprzez ingerencję w ich standardową strukturę. Układy te wykonywane są w technice TTL i CMOS z tranzystorów, tworzących matrycę bramek AND i matrycę bramek OR. Obie matryce umożliwiają realizację wszystkich funkcji logicznych.



Rys. 49. Struktura układów PLD.

### 2. Moduły PLD mogą być dodatkowo wyposażone:

- w przerzutniki,
- układy wejściowo/wyjściowe,
- bufory,
- sprzężenia zwrotne,
- wyjścia trójstanowe.

### 3. Układy PLD typu matrycowego wykonywane są jako:

- układy PAL,
- układy PLA,
- układy PLE.

### 4. Układy PAL wykonywane są w technice bipolarnej i unipolarnej jako:

- układy EPLD – kasowalne promieniami ultrafioletowymi (wykonane w technice CMOS),
- układy GAL – kasowalne elektrycznie (wykonane w technice EECMOS), charakteryzują się niskimi kosztami wykonania, niewielkim poborem prądu, dużą szybkością działania.

5. Układy PLA prócz matryc bramek AND i OR posiadają programowalny układ polaryzacji wyjść i sterowany z zewnątrz trójstanowy bufor wyjściowy. Dodatkowo mogą posiadać przerzutniki zwane są wówczas układami PLS lub sekwenserami.

**6. Układy PLE** są nową generacją szybkich pamięci PROM, realizującą układy logiczne. Mogą być dodatkowo wyposażone w buforowe rejestry wyjściowe.