

4. MATERIAŁ NAUCZANIA

4.1. Sterowanie wejściami TTL i CMOS

4.1.1. Materiał nauczania

Sygnał podawany na wejście układów cyfrowych może pochodzić z różnych układów lub urządzeń. Dodatkowo sygnał ten może przechodzić przez różne układy przełączające lub zabezpieczające. Do układów najczęściej podłączanych do wejść układów cyfrowych zaliczamy:

- styki przełączników, przekaźników, styczników itd.,
- układy izolacji galwanicznej,
- różnego rodzaju przetworniki wartości nieelektrycznych na elektryczne podające sygnał w postaci cyfrowej,
- czujniki podające na wejście sygnał analogowy, dla którego należy wyznaczyć wartość progową,
- urządzenia archiwizujące dane.

Przykładów takich układów można podać znacznie więcej, do tego jeszcze dochodzi fakt że układy te mogą być w znacznej odległości od układów cyfrowych, a więc należy je łączyć długimi przewodami. Pociąga to za sobą możliwość zniekształcania użytecznego sygnału, a więc należy na wejściach układów cyfrowych stosować układy formowania i regeneracji sygnałów.

Sprzęganie układów takich jak przełączniki, komparatory czy układy izolacji galwanicznej z wejściami układów cyfrowych nie stwarza dużych problemów, jeżeli pamięta się o podstawowych parametrach wejściowych układów cyfrowych. Należą do nich prądy i napięcia na wejściu w stanie wysokim oraz niskim, a także czasy przełączania. Aby urządzenie prawidłowo współpracowało z wejściem układu cyfrowego należy zachować dopuszczalne wartości tych parametrów dla danej rodziny i serii układów cyfrowych.

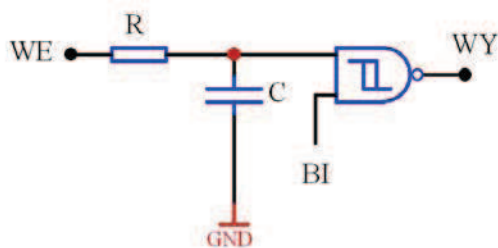
Układy formowania i regeneracji sygnałów

Pomimo nadania przez źródło sygnału o właściwych parametrach, sygnał ten może ulec zniekształceniu jeżeli znajduje się w dużej odległości od układu cyfrowego i jest połączony za pomocą przewodu. Zadaniem układów formowania i regeneracji sygnałów jest tłumienie krótkotrwałych zakłóceń, oraz kształtowanie przebiegów prostokątnych ze zniekształconych przebiegów, przyjmujących często kształt przebiegu sinusoidalnego lub innego przebiegu o długim czasie trwania zboczy (przebieg wolnozmienny).

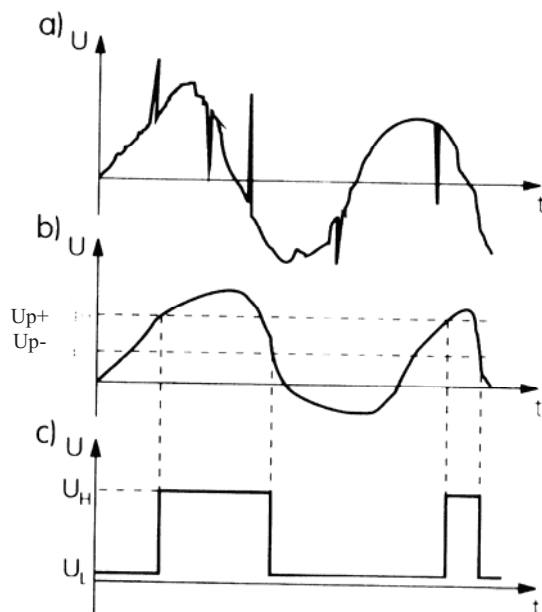
Układy formowania i regeneracji sygnałów składają się z dwóch części: układu całkującego i układu progowego (dyskryminatora amplitudy). Układ całkujący najczęściej zbudowany jest z elementów RC i jego zadaniem jest eliminacja sygnałów szpilkowych (sygnałów znacznie krótszych niż sygnał użyteczny), pojawiających się jako impulsy zakłócające. Dyskryminator amplitudy natomiast nie przepuszcza sygnałów, których amplituda nie osiągnie odpowiednio dobranego poziomu (prógu). Dzięki temu, że próg przełączania z L→H (Up+) jest inny niż z H→L (Up-), dyskryminator filtruje zakłócenia o amplitudzie mniejszej niż ten próg, oraz przeciwdziała wzbudzeniu się układu cyfrowego w przypadku przebiegu wolnozmiennego.

Na rysunku 1 przedstawiono układ formowania i regeneracji sygnałów. Jako dyskryminator najczęściej wykorzystywana jest bramka Schmitta posiadająca pętle histerezy.

Natomiast na rysunku 2 znajdują się przebiegi czasowe obrazujące proces regeneracji wejściowego przebiegu.



Rys. 1. Układ formowania i regeneracji impulsów

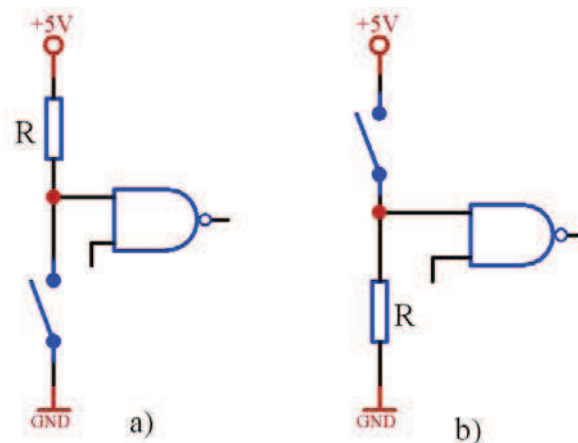


Rys. 2. Przykładowe przebiegi czasowe: a) na wejściu układu całkującego; b) na wyjściu układu całkującego (przebieg wejściowy dyskryminatora); c) na wyjściu dyskryminatora [1,s180]

Układy współpracy z zestykami

Najprostszymi układami podłączenia przełączników lub ogólniej zestyków, jest zastosowanie rezystora podciągającego do napięcia zasilania, lub podłączonego do masy. W pierwszym przypadku (rysunku 3a.) przełącznik zwiera wejście do masy, natomiast w drugim (rysunek 3b) do zasilania. W przypadku rodziny TTL ze względu na stosunkowo duży prąd wypływający z wejścia w stanie niskim, jedynie pierwszy sposób ma sens. Stosując układ z rysunku 3b dla wejścia układu TTL należałoby zastosować rezystor o małej wartości (ok. 220Ω), aby zapewnić odpowiednie napięcie w stanie niskim na wejściu. Z kolei mała wartość rezystancji powoduje przepływ dużego prądu z zasilania po zwarceniu styków przełącznika co jest bardzo niekorzystne. Drugi powód który przemawia za układem z rysunku 3a dla wejść układów TTL jest margines zakłóceń w momencie gdy styki przełącznika są rozwarte (jest gorsza sytuacja pod względem zakłóceń). Dla układu z rezystorem podciągającym do zasilania, margines ten wynosi 3V, natomiast dla układu z rezystorem podłączonym do masy tylko 0,6V.

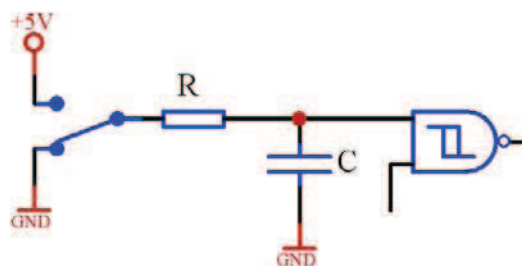
W przypadku rodziny CMOS oba sposoby podłączenia są prawidłowe, ponieważ wejście układu CMOS nie pobiera prądu, a próg przełączania jest w połowie napięcia zasilania. Jednakże częściej spotyka się układ z rezystorem podciągającym do zasilania, ze względu na wygodniejszy sposób podłączenia styków do masy.



Rys. 3. Układ z zestykiem zwiernym podłączonym przez rezystor: a) do zasilania; b) do masy

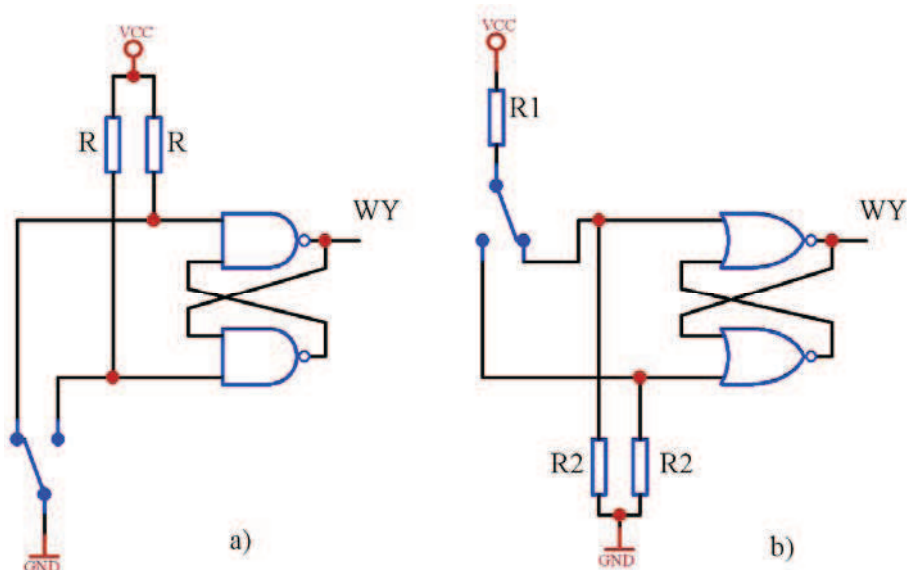
W przypadku styków przełącznika mechanicznego mamy do czynienia ze zjawiskiem drgania zestyków. Wiąże się to ze zwieraniem i rozwieraniem zestyków przełącznika przez około 1ms w momencie przełączania. Pociąga to za sobą pojawienie się na wejściu układu cyfrowego szeregu impulsów zero - jedynkowych, co w przypadku układów wrażliwych na zmiany stanów lub zboczy sygnałów wejściowych takich jak liczniki, przerzutniki itd. ma istotne znaczenie i powoduje nieprawidłowe działanie tych układów. W takich przypadkach układy przedstawione na rysunku 3a i 3b należy wyposażyć dodatkowo w układy tłumiące drgania zestyków.

Jednym ze sposobów jest zastosowanie filtra dolnoprzepustowego RC (układu całkującego) rys. 4. Takie rozwiązanie pociąga za sobą konieczność zastosowania bramki Schmitta wyposażonej w pętlę histerezy, ponieważ sygnał na wyjściu układu RC ma stosunkowo długi czas narastania. Brak pętli histerezy powodowałby przełączanie się bramki z częstotliwością około 20 MHz przy przejściu napięcia sygnału wejściowego w okolicach progu przełączania.



Rys. 4. Układ z zestykiem przełącznym podłączonym do wejścia bramki z przerzutnikiem Schmitta poprzez filtr dolnoprzepustowy.[1]

Innym rozwiązaniem jest zastosowanie przerzutnika asynchronicznego /s/r rys. 5a lub rs rys. 5b. Dla obu układów zwarcie zestyków przełącznika powoduje podanie na jedno z wejść przerzutnika (ustawiające lub zerujące) sygnału aktywnego, natomiast rozwarcie (co ma miejsce w przypadku drgania zestyków) przejście w stan pamiętania, co nie powoduje jego zmiany. Tutaj podobnie jak w poprzednich układach, wygodniejszy sposób podłączenia przełącznika do masy powoduje że częściej używany jest układ z rysunku 5a. Dodatkowo dla wejść układów TTL ten rodzaj przerzutnika daje nam większy margines zakłóceń na wejściu, które nie jest połączone ze stykiem przełącznika. To nie jest bez znaczenia w przypadku gdy przełączniki są znacznie oddalone od wejść i są połączone przewodami.

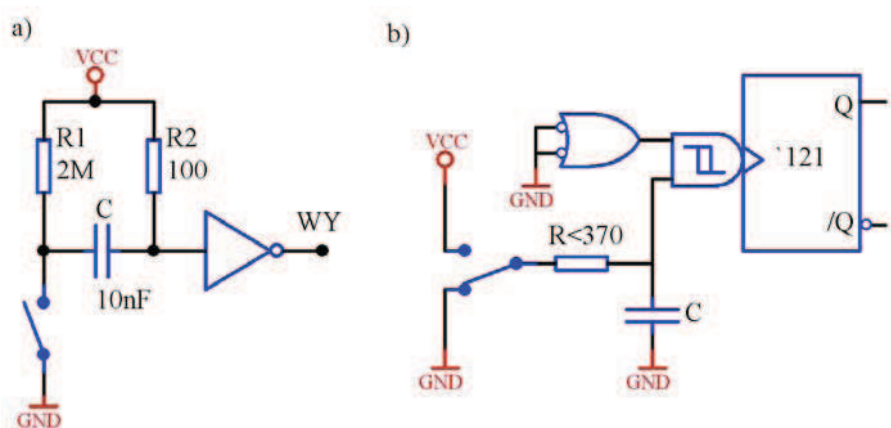


Rys. 5. Układy współpracy z zestykiem przełącznym: a) z przerzutnikiem /s/r; b) z przerzutnikiem rs [1]

Zamiast budować układ z bramek można wykorzystać scalone przerzutniki synchroniczne z asynchronicznymi wejściami ustawiania i zerowania (np. '74). W takim przypadku należy wejście zegarowe podłączyć do masy.

W przypadku gdy styki przełącznika są połączone długimi przewodami z układami wejściowymi, wtedy zakłócenia mogą mieć wpływ na działanie układu. Aby zwiększyć odporność na zakłócenia należy połączyć dwa sposoby wcześniej opisane, czyli na wejścia przerzutnika dołączyć filtry dolnoprzepustowe a przerzutnik zbudować w oparciu o bramki Schmitta.

W niektórych rozwiązaniach układowych wymaga się, aby zmiana położenia styków przełącznika generowała impulsy, a nie powodowała zmiany stanu. Przykłady rozwiązań takich układów pokazane są na rysunku 6.



Rys. 6. Układy z zestykami generujące impuls: a) o czasie trwania 300 do 500ns; b) wykorzystujący przerzutnik monostabilny [1].

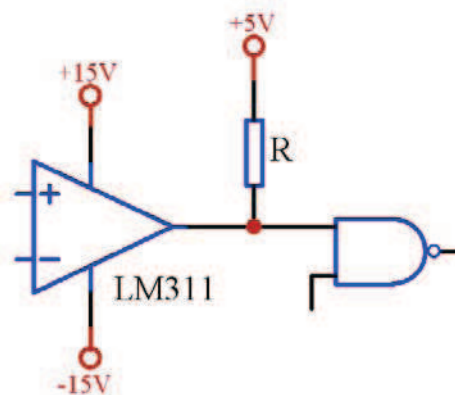
W przypadku gdy przełącznik w układzie z rysunku 6a jest rozwartry, to kondensator jest rozładowany a na wyjściu jest stan niski. Jeżeli przełącznik zostanie przełączony w stan zwarcia styków to następuje ładowanie kondensatora ze stałą czasową $R2 \cdot C = 1\mu s$. W tym czasie, zanim napięcie na kondensatorze nie wzrośnie do napięcia progowego bramki (od 300ns do 500ns), na wyjściu układu jest stan wysoki. Po przekroczeniu napięcia progowego na wyjściu układu powraca do stanu niskiego, a więc odpowiedzią na przełączenie

przełącznika jest impuls dodatni. Kolejny impuls może się pojawić po rozładowaniu się kondensatora, poprzez przełączenie przełącznika w stan rozwarcia i ponownym przełączeniu w stan zwarcia zestyków. Drgania zestyków przełącznika nie mają wpływu na działanie układu ponieważ stała czasowa rozładowania kondensatora $(R1+R2) \cdot C \sim 20\text{ms}$ jest na tyle duża że krótkotrwałe rozwarcia zestyków nie powodują znacznego rozładowania kondensatora, a to jest warunkiem aby wytworzyć kolejny impuls.

Na rysunku 6b przedstawiono układ w którym wykorzystano przerzutnik monostabilny 121. Dodatkowo na wejściu włączono układ całkujący który powoduje że układy w tej konfiguracji dobrze współpracują z przełącznikami znacznie oddalonymi od wejścia.

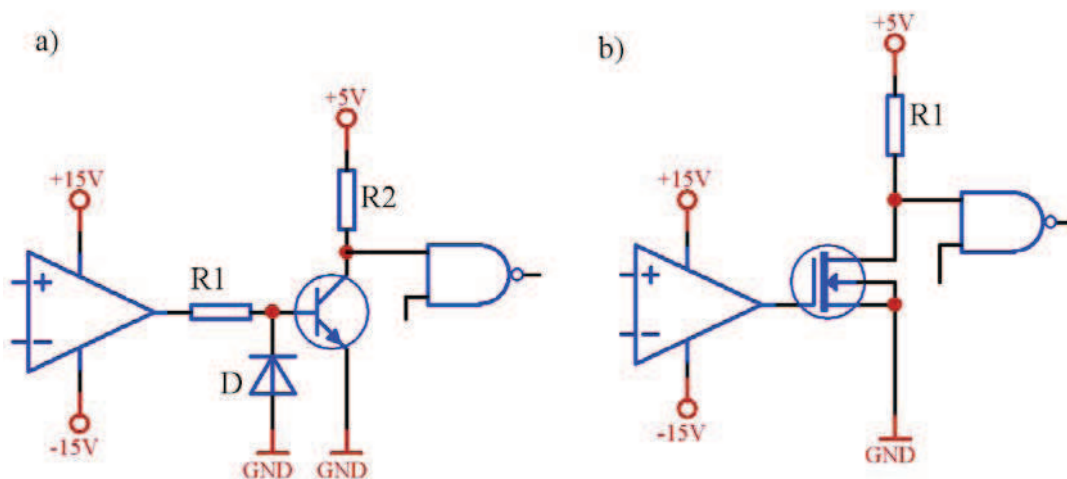
Komparator jako źródło sygnałów cyfrowych

Komparatory podobnie jak przetworniki A/C są układami z pogranicza elektroniki analogowej i cyfrowej, można powiedzieć że komparator jest jednobitowym przetwornikiem A/C. Najprostszym komparatorem napięcia jest wzmacniacz różnicowy o dużym wzmocnieniu wykonany np. z użyciem wzmacniacza operacyjnego. W zależności od polaryzacji wejściowego napięcia różnicowego, wyjście wzmacniacza operacyjnego nasycy się w pobliżu ujemnego lub dodatniego napięcia zasilania. Chociaż jako komparator można stosować zwykłe wzmacniacze operacyjne, produkowane są specjalne układy zwane komparatorami. Układ wyjściowy większości komparatorów składa się z tranzystora n-p-n z otwartym kolektorem i emiterym podłączonym do masy. Podłączenie wyjścia komparatora z wejściem układu cyfrowego wiąże się więc z zastosowaniem rezystora podciągającego do napięcia zasilania. Taki sposób podłączenie (przedstawiony jest na rysunku 7) powoduje że dla napięcia wejściowego różnicowego komparatora o polaryzacji dodatniej na wyjściu mamy napięci +5V (napięcie do którego jest podłączony rezystor podciągający), a dla napięcia o polaryzacji ujemnej 0V.



Rys. 7. Układ podłączenie wyjścia komparatora do wejścia układu cyfrowego [3]

Jeżeli zamiast komparatora zastosujemy wzmacniacz operacyjny na którego wyjściu pojawia się napięcie w zakresie od V_{dd} do V_{ss} , wtedy należy zastosować układ dopasowujący poziom napięć odpowiadający poziomowi na wejściach układu cyfrowego. Najczęściej rolę układu dopasowującego pełni układ tranzystorowy w oparciu o tranzystor bipolarny n-p-n (rys. 8a) lub tranzystor polowy z kanałem n (rys. 8b). W przypadku tranzystora bipolarnego wymagana jest dioda D1 zabezpieczająca złącze baza-emiter przed przebiciem, w momencie gdy na wyjściu pojawi się ujemne napięcie które może osiągnąć wartość bliską -15V .



Rys. 8. Układ podłączenie wyjścia wzmacniacza operacyjnego do wejścia układu cyfrowego poprzez: a) tranzystor bipolarny; b) tranzystor polowy [3]

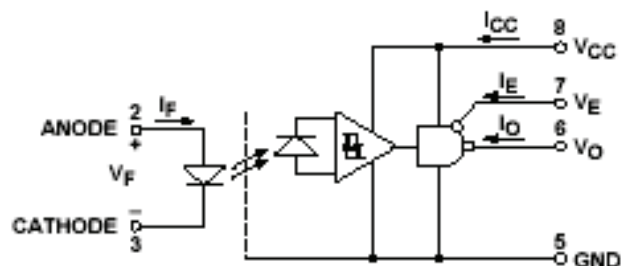
Za pomocą wyżej opisanych układów (rys 7 i 8) nie należy sterować wejść zegarowych układów cyfrowych. Czasy przełączania tych układów są zbyt długie, a więc mamy do czynienia z przebiegami wolno zmiennymi na wejściu układu cyfrowego, a co za tym idzie generowaniem przebiegu zmiennego, przy przejściu napięcia przez próg przełączania. Aby temu zapobiec należy zastosować pętle histerezy. Można to zrobić na dwa sposoby :

- włączyć pomiędzy układ sterujący z wyjścia wzmacniacza lub komparatora a wejście układu cyfrowego bramkę Schmitta,
- zastosować histerezę w układzie wzmacniacza lub komparatora.

Układy rozdzielania galwanicznego

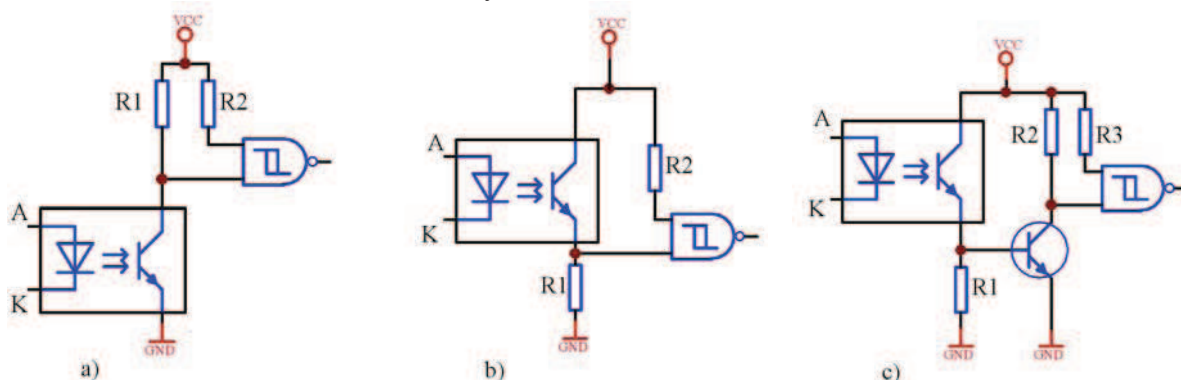
Separację galwaniczną stosuje się po to, aby odseparować elektrycznie jedną część układu od drugiej. Stosuje się ją głównie w przypadku dwóch współpracujących układów zasilanych różnymi napięciami, gdzie jeden jest układem wysoko a drugi nisko napięciowym. Separacja galwaniczna zapobiega uszkodzeniu układu nisko napięciowego w przypadku powstania awarii w układzie wysokonapięciowym. Kolejnym ważnym zastosowaniem separacji galwanicznej jest separacja sygnałów przesyłanych na duże odległości. W tym przypadku separujemy układ cyfrowy od wejścia, w celu eliminacji sygnałów zakłócających, a szczególnie sygnałów szpilkowych o dużej wartości napięcia.

Najczęściej wykorzystywanymi do izolacji galwanicznej elementami są transoptory. Transoptor składa się z fotoemitera i fotodetektora sprzężonych optycznie. Rolę emitera pełni dioda elektroluminescencyjna, natomiast fotodetektora fotodioda, fototranzystor. O ile układ wejściowy transoptora składa się jedynie z diody, o tyle układy wyjściowe mogą zawierać różne rozwiązania układowe. Z punktu widzenia wejść układów cyfrowych najprostszym rozwiązaniem jest zastosowanie transoptorów z wyjściem cyfrowym, który nie wymaga stosowania elementów zewnętrznych. Na wyjściu takich transoptorów otrzymujemy poziomy napięcie odpowiednie dla danej rodziny układów cyfrowych. Przykładem takiego transoptora jest HCPL2400 (rysunek 9). Wyjście tego układu można bezpośrednio łączyć do wejść układów cyfrowych TTL, STTL, LSTTL i CMOS. Dodatkowo wyjście jest trójstanowe i za pomocą wejścia V_E sterujemy trzecim stanem.



Rys. 9. Transoptor HCPL2400 z wyjściem cyfrowym [6]

W przypadku transoptorów z wyjściami tranzystorowymi musimy zastosować odpowiednie elementy zewnętrzne, ponieważ są to wyjścia z otwartym kolektorem. Elementy (głównie rezystory) dobieramy w taki sposób, aby dla znamionowych wartości prądu wyjściowego transoptora, uzyskać odpowiednie poziomy napięć na wejściu układu cyfrowego. Przykłady takich rozwiązań zamieszczone są na rysunku 10a,b i c.



Rys. 10. Układy podłączenia wyjścia transoptora do wejścia układu cyfrowego poprzez: a) rezystor podciągający do zasilania; b) rezystor podłączony do masy; c) tranzystor bipolarny [1].

4.1.2. Pytania sprawdzające

- Odpowiadając na pytania, sprawdzisz, czy jesteś przygotowany do ćwiczeń wykonania.
1. Podaj przykłady układów podłączenia zestyków do wejść cyfrowych.
 2. Jakie parametry wejść cyfrowych należy brać pod uwagę aby obliczyć wartość rezystora podciągającego do zasilania w układzie podłączenia przełącznika do wejścia?
 3. Jakie zjawiska zachodzą w układach mechanicznych wyposażonych w zestyki i kiedy one mają znaczenie ?
 4. W jaki sposób eliminujemy efekt drgań zestyków?
 5. Jaka rolę pełni bramka Schmita w układach wejściowych?
 6. Do czego stosujemy komparator w układach cyfrowych?
 7. W jaki sposób podłączamy komparator do wejścia układu cyfrowego?
 8. Z czego wynika różnica w układzie podłączenia do wejścia cyfrowego komparatora i wzmacniacza operacyjnego?
 9. Co to jest transoptor?
 10. W jakim celu stosujemy transoptory?
 11. Jakie rodzaje wyjść posiada transoptor i w jaki sposób podłączamy go do wejść układu cyfrowego?

4.1.3. Ćwiczenia

Ćwiczenie 1

Zbadaj efekt drgań zestyków przełącznika mechanicznego, w układzie podłączenia do wejścia układu cyfrowego-sekwencyjnego.

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się z układami podłączenia zestyków przełącznika do wejść układu cyfrowego,
- 2) narysować schemat podłączenia, do wejścia zegarowego układu licznikowego podłączyć przełącznik poprzez rezystor podciągający jak na rys. 3a,
- 3) zmontować układ według narysowanego schematu,
- 4) dokonać przełączeń przełącznikiem i zanotować wartości otrzymane na wyświetlaczu po kolejnych przełączeniach,
- 5) narysować schemat układu, do wejścia zegarowego układu licznikowego podłączyć przełącznik poprzez filtr dolnoprzepustowy i bramkę z przerzutnikiem Schmitta jak na rysunku 4,
- 6) zmontować układ,
- 7) dokonać przełączeń przełącznikiem i zanotować wartości otrzymane na wyświetlaczu po kolejnych przełączeniach,
- 8) przeanalizować otrzymane wyniki i wyciągnąć wnioski,
- 9) zaprezentować wykonane ćwiczenie,
- 10) dokonać oceny poprawności wykonanego ćwiczenia.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduł przełączników, wyświetlaczy 7-segmentowych ze wspólną anodą i moduły do montażu układów cyfrowych,
- zasilacz,
- przewody do montażu,
- układy TTL UCY 7414, UCY7493, UCY7447.

Ćwiczenie 2

Zbuduj, a następnie zbadaj układ podłączenia przełącznika do układu licznikowego, z eliminacją drgań zestyków za pomocą układu UCY7474.

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się z układami podłączenia zestyków przełącznika do wejść układu cyfrowego za pomocą przerzutników asynchronicznych,
- 2) narysować schemat podłączenia zestyków przełącznika do wejścia zegarowego układu licznikowego, za pośrednictwem przerzutnika w układzie UCY7474 posiadającego wejścia ustawiające i zerujące,
- 3) zmontować układ według narysowanego schematu,
- 4) dokonać przełączeń przełącznikiem i zanotować wartości otrzymane na wyświetlaczu po kolejnych przełączeniach,
- 5) przeanalizować otrzymane wyniki i wyciągnąć wnioski,
- 6) zaprezentować wykonane ćwiczenie,
- 7) dokonać oceny poprawności wykonanego ćwiczenia.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduł przełączników, wyświetlaczy 7-segmentowych ze wspólną anodą i moduły do montażu układów cyfrowych,
- zasilacz,
- przewody do montażu,
- układy TTL UCY 7474, UCY7493, UCY7447.

4.1.4. Sprawdzian postępów

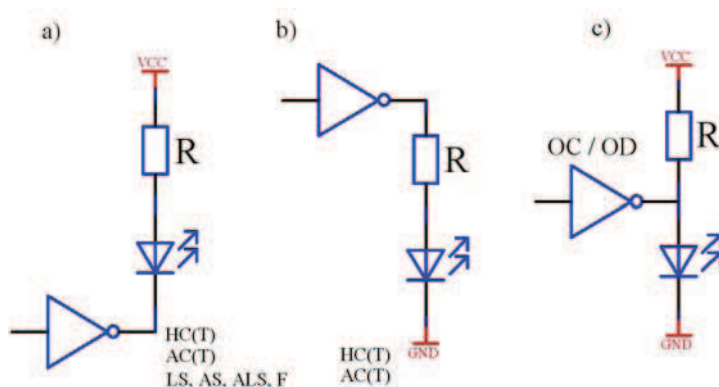
	Tak	Nie
Czy potrafisz:		
1) obliczyć wartość rezystora podciągającego do napięcia zasilania, w przypadku wejść układów cyfrowych różnych rodzin?	<input type="checkbox"/>	<input type="checkbox"/>
2) omówić sposoby eliminacji drgań zestyków przełącznika?	<input type="checkbox"/>	<input type="checkbox"/>
3) dobrać elementy do realizacji układu eliminacji drań zestyków?	<input type="checkbox"/>	<input type="checkbox"/>
4) wyjaśnić konieczność stosowania bramki Schmita wyposażonej w pętlę histerezy, dla przebiegów wolnozmiennych?	<input type="checkbox"/>	<input type="checkbox"/>
5) podłączyć komparator do wejścia układu cyfrowego?	<input type="checkbox"/>	<input type="checkbox"/>
6) podłączyć wzmacniacz operacyjny do wejścia układu cyfrowego?	<input type="checkbox"/>	<input type="checkbox"/>
7) scharakteryzować układy wyjściowe transoptorów?	<input type="checkbox"/>	<input type="checkbox"/>
8) podłączyć transoptor do wejścia układu cyfrowego?	<input type="checkbox"/>	<input type="checkbox"/>

4.2. Współpraca układów TTL i CMOS z zewnętrznymi układami obciążającymi

4.2.1. Materiał nauczania

Sterowanie wskaźników elektroluminescencyjnych

Do wskaźników elektroluminescencyjnych zaliczamy: diody LED, wskaźniki siedmiosegmentowe, szesnastosegmentowe oraz matryce diodowe. Sterowanie tych elementów sprowadza się do sterowania pojedynczej diody LED przez jedno wyjście cyfrowe układu cyfrowego danej rodziny. Na rysunku 11 przedstawione są trzy sposoby podłączenia diody LED do wyjścia układu cyfrowego.



Rys. 11. Sterowanie diodą LED z wyjścia układu TTL : a) z wyjścia przeciwobnówkowego lub otwartego kolektora, b) z wyjścia przeciwobnówkowego, c) z otwartego kolektora [1].

Rysunek 11a prezentuje najczęstszy sposób podłączenia i jest stosowany zarówno dla układów rodziny TTL jak i układów CMOS (HC, HCT, AC, ACT). Ponadto bramka w tym układzie może być z wyjściem dwustanowym lub z otwartym kolektorem/drenem. Dioda LED świeci, jeżeli na wyjściu układu cyfrowego jest stan niski i prąd wpływa do wyjścia bramki. Prąd ten jest ustalany za pomocą rezystancji R i jego wartość powinna być tak dobrana, aby nie przekraczała wartości znamionowej prądu przewodzenia diody LED, oraz dopuszczalnej wartości I_{OLmax} . Wartość rezystancji R oblicza się ze wzoru:

$$R = \frac{U_{CC} - U_F - U_{OL}}{I_F} \quad [\Omega]$$

gdzie : U_F – napięcie przewodzenia diody w granicach od 1,5 do 3V,
 I_F – prąd znamionowy diody od 10 do 20mA dla pojedynczej diody,
 U_{OL} – napięcie wyjściowe układu cyfrowego w stanie niskim,
 U_{CC} – napięcie zasilania.

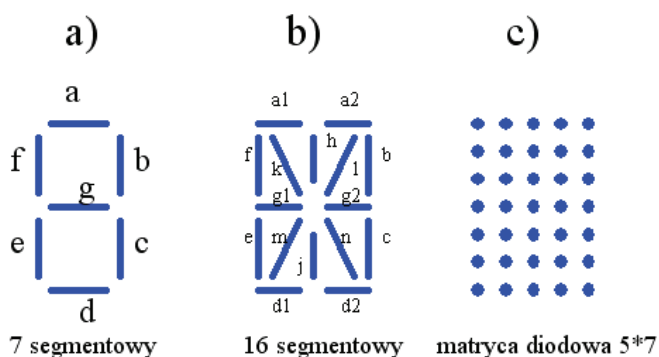
Na rysunku 11b dioda jest podłączona z wyjścia do masy, przez rezystor. W tym układzie dioda świeci gdy na wyjściu jest stan wysoki. Ze względu na niewielkie możliwości emisyjne wyjścia układu TTL w stanie wysokim (mały prąd wyjściowy w stanie wysokim), ten sposób podłączenia nie nadaje się dla tych układów. Natomiast w przypadku układów CMOS, gdzie wyjście jest symetryczne, ten układ może być stosowany na równi z układem z rys. 11a. Wartość rezystancji dla schematu na rys. 8b obliczamy z wzoru:

$$R = \frac{U_{OH} - U_F}{I_F} \quad [\Omega]$$

gdzie U_{OH} to napięcie wyjściowe w stanie wysokim.

Trzeci sposób podłączenia z rysunku 11c wykorzystuje bramkę z otwartym kolektorem lub drenem. Dioda świeci jeżeli wyjście bramki jest w stanie wysokim. Tego sposobu podłączenia diody LED należy unikać ponieważ prąd ze źródła zasilania płynie zarówno wtedy jak świeci dioda jak i wtedy gdy nie świeci co znacznie zwiększa straty mocy w układzie.

Do tej pory zostały opisane sposoby podłączenia pojedynczej diody. Tego typu układy stosuje się w układach sygnalizacji (np. poprawności działania układu, załączenia układu itd.). Jeżeli chcemy natomiast przedstawić bardziej złożoną informację wtedy stosujemy tzw. wyświetlacze LED, które są niczym innym jak odpowiednio uformowanymi i poukładanymi pojedynczymi diodami LED, tworzącymi pojedyncze piksele lub segmenty. Wszystkie diody takiego wyświetlacza mają wyprowadzoną jedną elektrodę do której podłączamy wyjście układu cyfrowego sterującego pojedynczym pikselem lub segmentem. Natomiast druga elektroda we wszystkich diodach jest połączona do tego samego wspólnego punktu i w zależności od tego która to jest elektroda, mówimy o wyświetlaczach ze wspólną anodą lub katodą.



Rys. 12. Wyświetlacze LED: a) siedmiosegmentowy; b) szesnastosegmentowy; c) matryca diodowa 5*7 [3].

Najprostszym wyświetlaczem jest wyświetlacz 7 segmentowy (rys. 12a) na którym można wyświetlić liczby od 0 do 9 i dodatkowo litery od A do F (czyli cały zakres liczb szesnastkowych) z tym że są one raz dużymi literami a raz małymi (A,B,c,d,E,F). Wyświetlacze o większej ilości punktów świetlnych, jakimi są wyświetlacze 16 segmentowe (rys. 12b) lub matryca diodowa 5*7 (rys. 12c), są w stanie wyświetlić litery oprócz cyfr i dlatego są nazywane wyświetlaczami alfanumerycznymi. Tego typu wyświetlacze są produkowane w postaci prostej tzn. dostępne są wyprowadzenia do wszystkich segmentów (w przypadku wyświetlacza 16-seg.) lub wszystkich diod tworzących piksele (w przypadku matrycy), oraz w postaci złożonej tzn. wyposażonej w odpowiedni dekodery i wzmacniacze sterujące diodami.

Najczęściej wykorzystywanym układem do sterowania wyświetlaczem siedmiosegmentowym jest dekodery kodu BCD 8421 na 7-segmentowy - 7447. Dekodery ten steruje bezpośrednio wyświetlaczem ze wspólną anodą. Układ ten wymaga jedynie rezystorów R dołączonych pomiędzy jego wyjścia a elektrody wyświetlacza. Rezystancję R obliczamy ze wzoru:

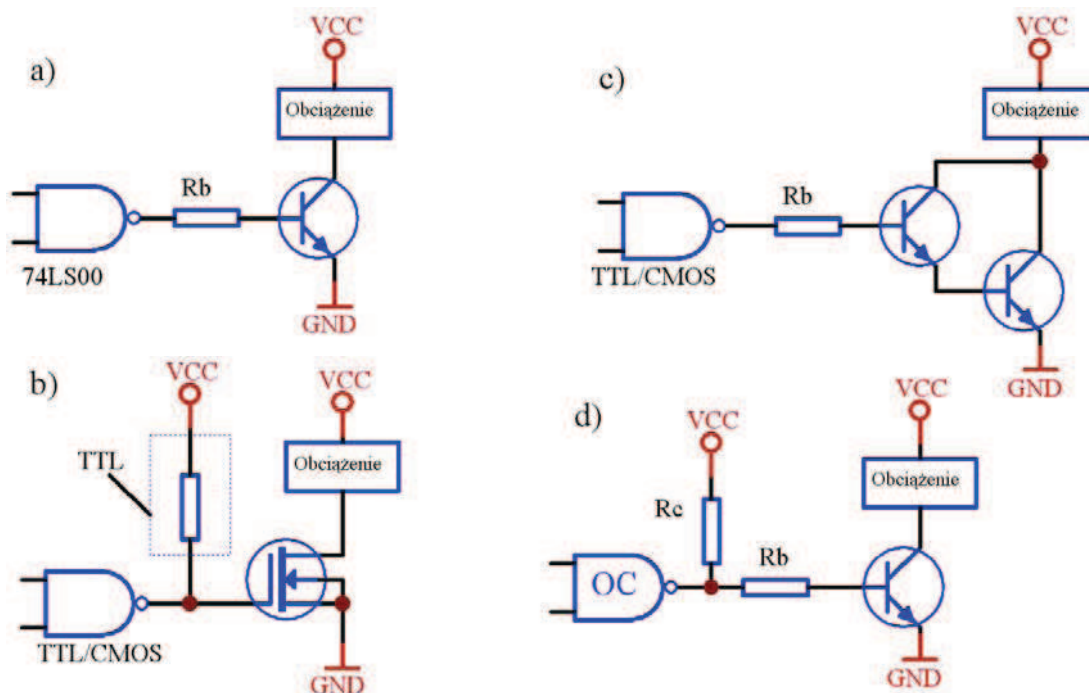
$$R = \frac{U_{CC} - U_s - U_{OL}}{I_s} \quad [\Omega]$$

gdzie: U_{OL} – napięcie na wyjściu dekodera sterujące pojedynczym segmentem.
 I_s – prąd świecenia segmentu
 U_s – spadek napięcia na segmencie przewodzącym prąd I_s

Układy sterowania diodą LED oprócz wskaźników elektroluminescencyjnych mają także zastosowanie w innych układach, w których elementem wejściowym jest dioda LED. Przykładem takiego układu jest transoptor.

Współpraca układów TTL/CMOS z tranzystorem

Jeżeli stoimy przed koniecznością wysterowania obciążenia z wyjścia układu cyfrowego, które wymaga dużego prądu, lub innego napięcia niż zasilające układ cyfrowy, możemy zastosować dwa rozwiązania. Pierwszym z nich to zastosowanie bufora z wyjściem typu OC lub OD które są w stanie pochłaniać prąd rzędu kilkudziesięciu mA i napięcia do kilkunastu V (np. bufor 4050 od 5mA do 50mA i od 5V do 15V). Drugim rozwiązaniem jest zastosowanie tranzystora jako wzmacniacza mocy. W przypadku pojedynczego stopnia tranzystora mamy porównywalne moce obciążenia do buforów z wyjściem OC lub OD, natomiast po zastosowaniu dwóch stopni tranzystora w układzie Darlingtona uzyskujemy znacznie większe prądy obciążenia.



Rys. 13. Układy podłączenia obciążenia do wyjścia układu cyfrowego poprzez: a) tranzystor bipolarny; b) tranzystor polowy; c) układ Darlingtona, d) tranzystor bipolarny z wyjścia OC [1] i [3].

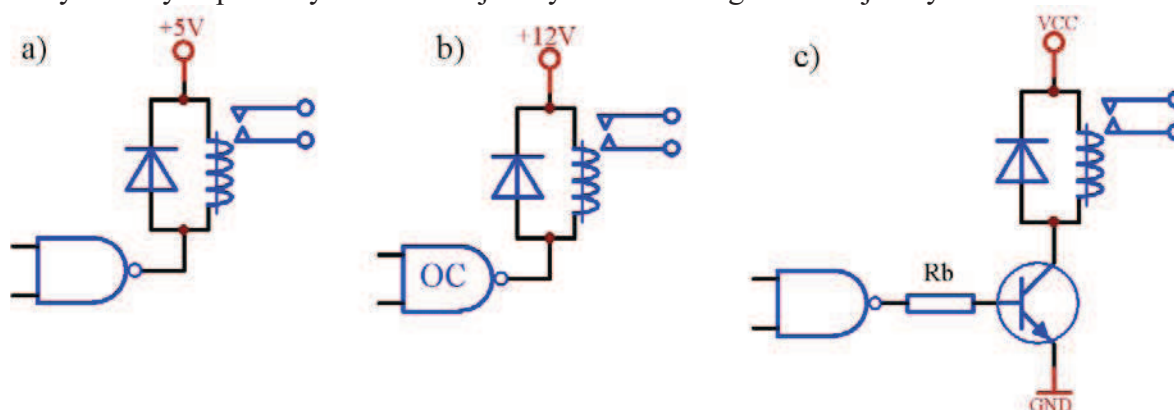
Na rysunku 13 przedstawiono trzy sposoby podłączenia tranzystora do wyjścia układu cyfrowego. Na rysunku 13a przedstawiony jest schemat podłączenia tranzystora bipolarnego poprzez rezystor R_b ograniczający prąd bazy. Rezystor R_b należy tak dobrać, aby prąd bazy powodował nasycenie tranzystora, ale jednocześnie nie przekraczał dopuszczalnej wartości prądu bazy. W przypadku gdy chcemy uzyskać znacznie większy prąd płynący przez obciążenie należy zastosować dwa stopnie tranzystorowe połączone w układ Darlingtona jak na rysunku 13c. Rysunek 13b przedstawia schemat podłączenia tranzystora polowego. Jeżeli tranzystor polowy sterujemy z wyjścia bramki CMOS nie potrzebujemy rezystora podciągającego. Natomiast gdy sterujemy z wyjścia bramki TTL tranzystor polowy, musimy podłączyć rezystor podciągający do zasilania, ponieważ minimalne gwarantowane napięcie wyjściowe w stanie wysokim ($U_{OHmin}=2,4V$), jest zbyt małym napięciem aby wysterować tranzystor polowy.

Na rysunku 13d przedstawiono sterowanie obciążenia z wyjścia układu cyfrowego typu otwarty kolektor. Rezystor R_c ogranicza prąd wpływający do bramki w stanie niskim, wtedy gdy tranzystor wyjściowy bramki jest w stanie nasycenia, natomiast suma rezystancji R_c i R_b ogranicza prąd bazy tranzystora sterującego obciążeniem.

Przykładem obciążeń podłączanymi poprzez tranzystor może być dioda LED, przekaźnik itd.

Współpraca układów TTL/CMOS z przekaźnikami elektromechanicznymi

Układ sterowania przekaźnikiem zależy od tego jaki przekaźnik jest sterowany. Jeżeli mamy do czynienia z przekaźnikiem 5-woltowym do wysterowania którego potrzebny jest niewielki prąd rzędu 10mA wtedy można sterować go bezpośrednio z wyjścia układu cyfrowego, jak na rysunku 14a. W przypadku gdy cewka przekaźnika jest sterowana innym napięciem niż 5V wtedy można zastosować układ cyfrowy z wyjściem otwarty kolektor lub dren jak na rysunku 14b. Natomiast gdy stoimy przed koniecznością wysterowania cewki przekaźnika przez którą przepływa duży prąd, wtedy stosujemy jeden z układów tranzystorowych poznanych wcześniej. Przykładem takiego układu jest rysunek 14c.



Rys. 14. Układy sterowania przekaźnikiem elektromechanicznym poprzez: a)bramkę z wyjściem przeciwobnym; b)bramkę z wyjściem otwarty kolektor; c) tranzystor bipolarny [1].

W katalogach zazwyczaj podaje się dwa ważne parametry z punktu widzenia sterownia przekaźnika, są to napięcie i rezystancja cewki. Z prawa Ohma obliczamy prąd cewki który jest wymagany do wysterowania przekaźnika i jest to prąd który nie może przekroczyć maksymalnego prądu dla wyjścia układu cyfrowego jeżeli przekaźnik jest sterowany bezpośrednio z wyjścia. Jeżeli natomiast stosujemy układ tranzystorowy taki jak na rysunku 14c, wtedy należy zapewnić prąd kolektora w przybliżeniu równy prądowi cewki. W takim przypadku należy tak wysterować tranzystor aby wprowadzić go w stan nasycenia, co oznacza że prąd bazy jest nie mniejszy niż I_C/β . Prąd bazy jest ograniczony za pomocą rezystora R_b którego wartość obliczmy z wzoru:

$$R_b = \frac{U_{OH} - U_{BE}}{I_B} \quad [\Omega]$$

$$I_B = \frac{U_{CC} - U_{CEsat}}{R_L \cdot \beta} \quad [A]$$

gdzie:

U_{OH} – napięcie wyjściowe w stanie wysokim

U_{CEsat} – napięcie kolektor emiter w stanie nasycenia

R_L – rezystancja cewki

β – wzmacnienie prądowe tranzystora

W przypadku układów sterowania cewką przekaźnika zawsze należy pamiętać o podłączeniu diody równoległe do cewki, aby rozładować energię zgromadzoną w cewce w momencie przełączenia (przerwania prądu w obwodzie). W przeciwnym wypadku duże

napięcie indukujące się na cewce, spowoduje przebicie wyjścia układu cyfrowego lub tranzystora (w układzie tranzystorowym).

Przekaźniki półprzewodnikowe

Przekaźniki półprzewodnikowe potocznie nazywane SSR (ang. Solid State Relay) w dużym stopniu przypominają transoptory. Na wejściu przekaźnika półprzewodnikowego znajduje się dioda elektroluminescencyjna, a na wyjściu jako element przełączający mogą znajdować się: tranzystor bipolarny, tranzystor MOS, tyrystor lub triak. Dioda wejściowa w tych przekaźnikach steruje bezpośrednio elementem wykonawczym, albo innym elementem światłoczułym, a ten dopiero elementem wykonawczym. Przekaźniki półprzewodnikowe realizują tę samą funkcję co przekaźniki elektromechaniczne i także zapewniają izolację galwaniczną, jednakże są pozbawione wielu wad. Do zalet przekaźników półprzewodnikowych zaliczamy:

- mała moc sterowania,
- brak drgania zestyków,
- duża niezawodność,
- odporność na zakłócenia elektryczne, wstrząsy i wibracje, wpływ czynników, zewnętrznych,
- duża szybkość działania,
- bardzo duża liczba załączeń.

Przekaźniki półprzewodnikowe nie są jednak pozbawione wad, należą do nich:

- duża rezystancja w momencie przewodzenia przekaźnika w porównaniu z przekaźnikiem elektromechanicznym,
- prądy upływu spowodowane skończoną rezystancją w stanie wyłączenia.

Dzięki małej mocy sterowania, przekaźniki półprzewodnikowe możemy sterować bezpośrednio z wyjść układów cyfrowych (w przypadku przekaźników małosygnałowych), lub za pomocą układów tranzystorowych (w przypadku przekaźników średniej i dużej mocy). Układy sterowania praktycznie niczym nie różnią się od układów sterowania diodą LED lub transoptorów.

4.2.2. Pytania sprawdzające

Odpowiadając pytania, sprawdzisz, czy jesteś przygotowany do wykonania ćwiczeń.

1. W jaki sposób łączy się diody elektroluminescencyjne do wyjścia układu cyfrowego?
2. Jak należy dobrać rezystancję ograniczającą prąd płynący przez diodę elektroluminescencyjną i wyjście układu cyfrowego?
3. Co to są wyświetlacze LED i jak je sterujemy?
4. Do czego służy układ 7447?
5. Dlaczego stosujemy tranzystory w układach wyjściowych do sterowania obciążen?
6. W jakim stanie pracuje tranzystor w układzie sterowania obciążeniem z wyjścia układu cyfrowego?
7. Jak ograniczamy prąd płynący przez obciążenie w układzie tranzystorowym?
8. Jak sterujemy przekaźnikiem z wyjścia układu cyfrowego?
9. Dlaczego stosujemy diodę włączoną równolegle do cewki przekaźnika?
10. Jak dobieramy wartość rezystancji R_b w układzie sterowania przekaźnikiem za pomocą tranzystora, w zależności od parametrów przekaźnika (napięcie i rezystancja cewki)?
11. Co to jest przekaźnik półprzewodnikowy i jakie są jego zalety?

4.2.3. Ćwiczenia

Ćwiczenie 1

Zbadaj układ sterowania diodą LED z wyjścia przeciwsobnego. Układ powinien realizować świecenie diody dla stanu niskiego na wyjściu układu cyfrowego.

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się z wiadomościami na temat sposobów podłączenia diody LED do wyjścia układu cyfrowego i doбором elementów dla tych układów,
- 2) narysować schemat podłączenia diody LED do wyjścia przeciwsobnego bramki TTL tak aby uzyskać świecenie diody dla stanu niskiego na wyjściu układu, oraz móc regulować i mierzyć prąd płynący przez diodę,
- 3) połączyć układ,
- 4) zmieniać rezystancję ograniczającą prąd płynący przez diodę, tak by uzyskać wartość znamionową prądu przewodzenia diody LED,
- 5) obliczyć wartość rezystancji ograniczającej prąd,
- 6) porównać wyniki uzyskane z pomiaru i obliczeń i zastanowić się nad ewentualnymi różnicami,
- 7) powtórzyć pomiary dla bramki CMOS ,
- 8) przeanalizować otrzymane wyniki i wyciągnąć wnioski,
- 9) zaprezentować wykonane ćwiczenie,
- 10) dokonać oceny poprawności wykonanego ćwiczenia.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduły do pomiaru układów cyfrowych,
- miernik uniwersalny,
- zasilacz,
- przewody do montażu,
- układy cyfrowe z wyjściem przeciwsobnym np. UCY 7404.

Ćwiczenie 2

Zbadaj działanie układu dekodera kodu BCD na kod siedmiosegmentowy 7447.

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się ze specyfikacją układu UCY7447 w oparciu o katalog,
- 2) dobrać rodzaj wyświetlacza siedmiosegmentowego,
- 3) narysować układ podłączenia wyświetlacza i przełączników do układ 7447 w celu przetestowania tego układu,
- 4) obliczyć wartość rezystancji ograniczającej prąd pojedynczego segmentu,
- 5) połączyć układ,
- 6) przetestować układ zadając za pomocą przełączników liczbę w kodzie BCD na wejścia układu i obserwując otrzymany znak na wyświetlaczu,
- 7) przetestować dodatkowe wejścia sterujące układu 7447,
- 8) przeanalizować otrzymane wyniki i wyciągnąć wnioski,
- 9) zaprezentować wykonane ćwiczenie,
- 10) dokonać oceny poprawności wykonanego ćwiczenia.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduły do montażu układów cyfrowych z modułami przełączników i wyświetlaczy siedmiosegmentowych,
- zasilacz,
- przewody do montażu,
- układ cyfrowy UCY 7447.

Ćwiczenie 3

Dobierz doświadczalnie wartość rezystancji R_b dla układu sterowania obciążeniem za pomocą jednego stopnia tranzystorowego. Obciążenie jest zasilane napięciem 12V i pobiera prąd z źródła równy 100mA. Obciążenie należy zasymulować rezystorem o wartości 120Ω.

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się z układami sterowania obciążeniem za pomocą tranzystora,
- 2) narysować schemat podłączenia obciążenia symulowanego za pomocą rezystora o wartości 120Ω, do wyjścia układu cyfrowego za pomocą jednego stopnia tranzystorowego (np. tranzystora BC337),
- 3) podłączyć układ według schematu,
- 4) obliczyć wartość rezystancji R_b ,
- 5) ustawić wartość rezystancji R_b o 10% większą od obliczonej ,
- 6) podłączyć zasilanie do układu a następnie zmniejszając wartość rezystancji zmierzyć prąd płynący przez obciążenie,
- 7) zapisać wartość rezystancji R_b dla prądu obciążenia równego 100mA,
- 8) przeanalizować otrzymane wyniki i wyciągnąć wnioski,
- 9) dokonać oceny poprawności wykonanego ćwiczenia.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduły do montażu układów cyfrowych z modułami przełączników i możliwością podłączenia układów z tranzystorem,
- zasilacz,
- przewody do montażu,
- układ cyfrowy UCY 7400 tranzystor BC337.

4.2.4. Sprawdzenie postępów

	Tak	Nie
Czy potrafisz:		
1) podłączyć diodę elektroluminescencyjną LED do wyjścia układu cyfrowego ?	<input type="checkbox"/>	<input type="checkbox"/>
2) dobrać rezystor ograniczający znamionowy prąd diody LED?	<input type="checkbox"/>	<input type="checkbox"/>
3) wykorzystać dekodery UCY7447 do sterowania wyświetlaczem 7-segmentowym?	<input type="checkbox"/>	<input type="checkbox"/>
4) zaprojektować układ sterowania obciążeniem za pomocą tranzystora?	<input type="checkbox"/>	<input type="checkbox"/>
5) dobrać wartość rezystancji R_b w układzie tranzystorowym?	<input type="checkbox"/>	<input type="checkbox"/>
6) wysterować przełącznik z wyjścia układu cyfrowego?	<input type="checkbox"/>	<input type="checkbox"/>
7) wyjaśnić konieczność stosowania diody zabezpieczającej w układzie z przełącznikiem elektromechanicznym?	<input type="checkbox"/>	<input type="checkbox"/>

4.3. Sprzęganie układów cyfrowych różnych rodzin

4.3.1. Materiał nauczania

Współpraca układów TTL i CMOS

Wiedza o sposobach łączenia ze sobą układów cyfrowych różnych rodzin, szczególnie układów TTL i CMOS przydaje się w momencie gdy chcemy zbudować system wykorzystujący zalety układów różnych rodzin. Jest kilka przyczyn uniemożliwiających łączenie układów dwóch różnych rodzin. Są to min.:

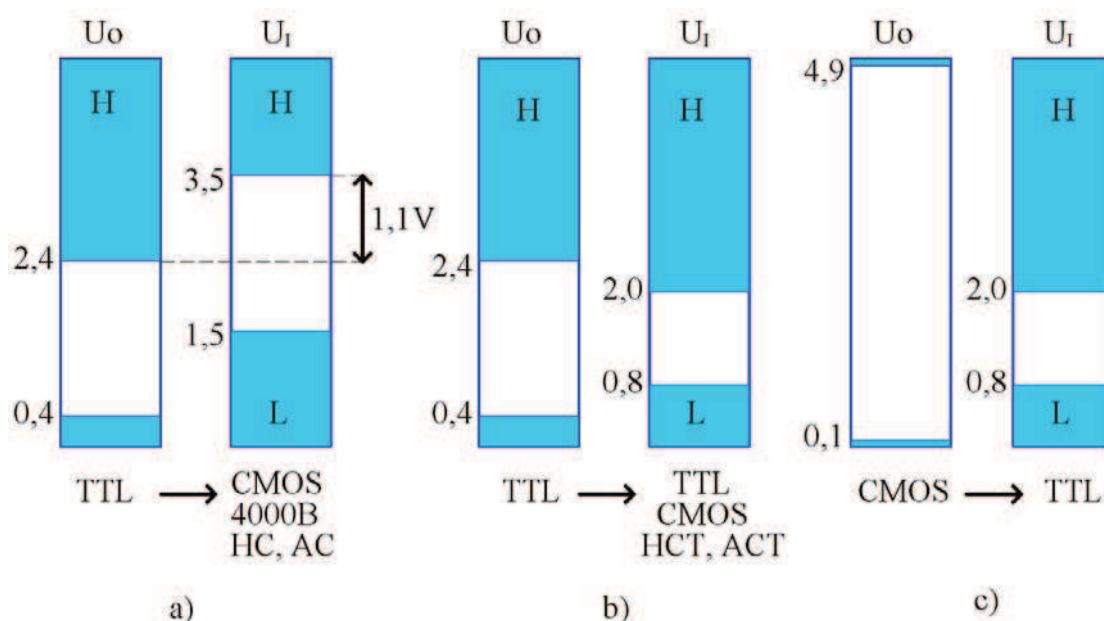
- różne wartości napięć zasilających,
- niekompatybilność wejściowych poziomów napięć,
- prądy wejściowe i wyjściowe (różna obciążalność wyjść).

Układy TTL pracują tylko przy jednym napięciu zasilania równym 5V, natomiast układy CMOS różnych rodzin mają różne napięcia zasilania (np. układy CMOS serii 4000B od 3V do 18V, układy HC i AC od 2V do 6V, a układy HCT i ACT tak jak TTL 5V). Aby umożliwić łączenie układów cyfrowych zasilanych różnymi napięciami należy dokonać konwersji poziomów napięć, można to zrobić za pomocą układów cyfrowych o wyjściu z otwartym kolektorem lub drenem, za pomocą klucza tranzystorowego, lub specjalnych, produkowanych w tym celu układów zwanych translatorami lub konwerterami.

Niekompatybilność wejściowych napięć w układach CMOS i TTL stoi na przeszkodzie w momencie gdy układy te są zasilane jednakowym napięciem +5V. Jak widać na rysunku 15, jedynie łączenie bezpośrednie w kierunku TTL->CMOS jest niemożliwe, ponieważ dopuszczalne minimalne napięcie w stanie wysokim dla wyjścia bramki TTL wynosi 2,4V a dla wejścia CMOS 3,5V (rys.15a). Powodowało by to sytuację taką że dopuszczalne napięcie w stanie wysokim dla bramki TTL na wyjściu zostało by źle zinterpretowane przez wejście bramki CMOS. Należy pamiętać że próg przełączenia dla bramki CMOS wynosi połowę napięcia przełączania (czyli w tym przypadku 2,5V), a więc napięcie 2,4V wypada poniżej progu przełączania. W takim przypadku można wykorzystać układ CMOS serii HCT lub ACT jako układ pośredniczący pomiędzy TTL a CMOS rys. 15b w których próg przełączania został przesunięty do poziomu TTL aby zapewnić kompatybilność pomiędzy tymi układami. Łączenie wyjść układów CMOS z wejściami TTL (CMOS → TTL) w przypadku tych samych napięć zasilania jest możliwa w sposób bezpośredni, ponieważ jak widać na rysunku 15c zakresy napięć wyjściowych dla CMOS mieszczą się w zakresie napięć wejściowych dla TTL.

Przeszkoda w łączeniu układów różnych serii związana z różnymi prądami wejściowymi i wyjściowymi szczególnie widoczna jest w przypadku zasilania układów ze starszych serii CMOS (4000B/74C) napięciem +5V. W takich warunkach układy te charakteryzują się małą obciążalnością wyjść (mogą pochłaniać jedynie prąd o wartości 0,5mA), co uniemożliwia im sterowanie układami TTL.

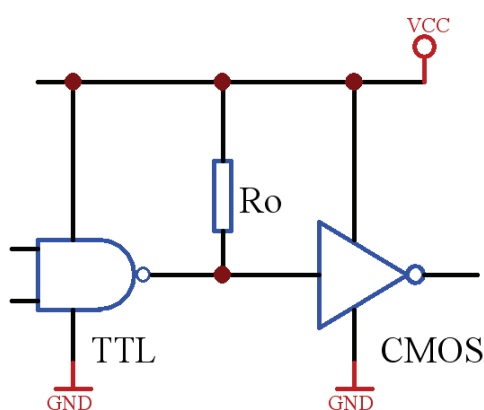
Interesującym i coraz częściej stosowanym rozwiązaniem problemu sprzęgania ze sobą układów CMOS i TTL jest zmniejszenie wartości napięcia zasilającego do wartości 3,3V. Progu przełączania wynosi wtedy 1,4V co odpowiada napięciu progowemu dla układów TTL, tak więc wyjście układu TTL można bezpośrednio łączyć z wejściami układów HC/AC zasilanymi napięciem 3,3V. Dodatkowo zyskujemy zmniejszenie mocy dynamicznej poprzez zmniejszenie napięcia zasilania w układach HC/AC i możliwość zasilania bateryjnego.



Rys. 15. Zestawienie poziomów napięć wyjściowych z poziomami napięć wejściowych układów cyfrowych zrealizowanych w technologii TTL i CMOS [1].

Sprężenie TTL -> CMOS

Zasilając układy CMOS napięciem takim samym jak TTL (czyli 5V), na przeszkodzie do bezpośredniego łączenia wyjścia bramki TTL z wejściem bramki CMOS (HC, AC, 4000B) stoi niekompatybilność dopuszczalnych poziomów napięć wejściowych. Jak widać na rysunku 15a różnica pomiędzy minimalnym napięciem wyjściowym w stanie wysokim dla bramki TTL, a minimalnym napięciem wejściowym w stanie wysokim dla bramki CMOS wynosi 1,1V. Aby takie połączenie było możliwe należy zwiększyć napięcie wyjściowe z bramki TTL, można to zrealizować za pomocą rezystora podciągającego (rysunek 16).



Rys. 16. Połączenie wyjścia bramki TTL z wejściem bramki CMOS w przypadku zasilania tym samym napięciem, za pomocą rezystora podciągającego [1].

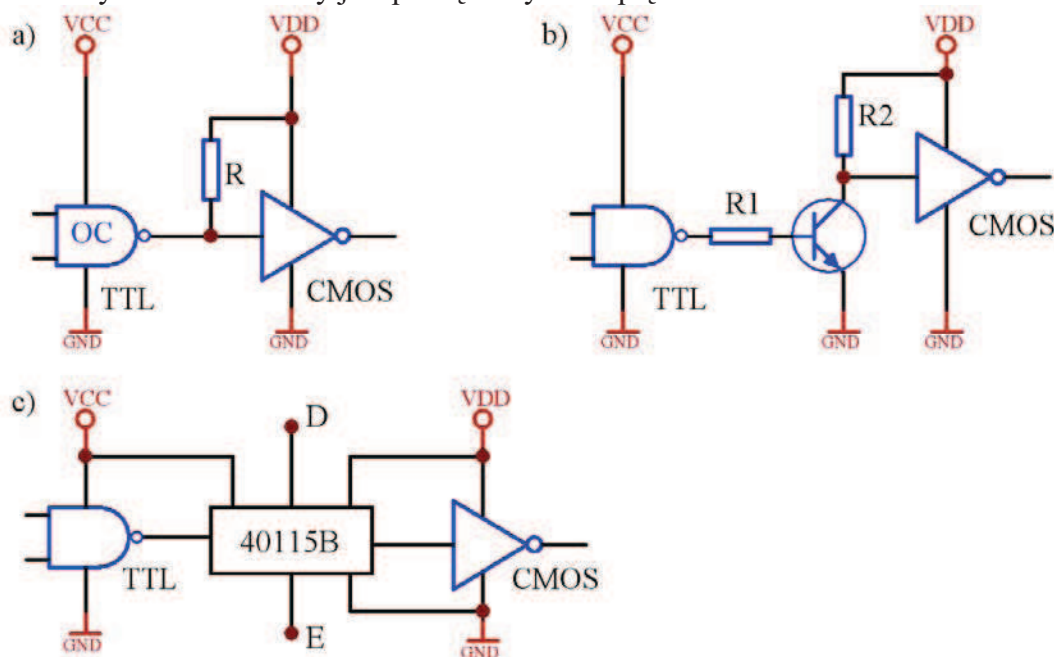
Rezystancję maksymalną i minimalną rezystora podciągającego R_o wyznaczamy doświadczalnie. Jego maksymalną wartość wyznacza się dla stanu wysokiego na wyjściu bramki zmniejszając rezystancję R_o aż do wartości, przy której napięcie wyjściowe osiągnie wartość $U_{IHmin}=3,5V$ dla bramki CMOS. Wartość minimalną wyznacza się dla stanu niskiego na wyjściu bramki, zmniejszając rezystancję R_o i kontrolując prąd i napięcie wyjściowe, które nie mogą przekroczyć dopuszczalnych wartości (I_{OLmax} i U_{OLmax}). Wartości rezystora podciągającego są umieszczone w tabelicy 1.

Rezystancja		Seria	
		74	74LS
Ro min	Ω	390	810
Ro max	$k\Omega$	4,7	12

Tablica1. Minimalna i maksymalna wartość rezystora podciągającego R_o w układzie połączenia TTL→CMOS dla serii standardowej TTL i TTL-LS [1]

Układy CMOS a szczególnie układy serii 4000B/74C mają znacznie lepsze parametry dynamiczne i większą odporność na zakłócenia, oraz większą obciążalność wyjść przy większych napięciach zasilania. Dlatego układy te są często zasilane większym napięciem niż 5V stosowanym dla układów TTL. W przypadku łączenia wyjść układów TTL z wejściami układów CMOS zasilanych innym napięciem, zachodzi konieczność konwersji napięć. Na rysunku 17 przedstawiono trzy sposoby konwersji napięć.

Pierwszy ze sposobów to zastosowanie bramki TTL z otwartym kolektorem (rys. 17a) w którym rezystor podciągający R podłączony jest do napięcia U_{DD} które zasila bramkę CMOS. Dzięki temu napięcie wyjściowe w stanie wysokim jest równe U_{DD} . Drugi sposób to zastosowanie tranzystora bipolarnego jako klucza elektronicznego, czyli pracującego w stanie zatkania lub nasycenia (rys. 17b). Tutaj podobnie jak dla bramki OC z poprzedniego przykładu rezystor kolektorowy jest podłączony do napięcia U_{DD} .



Rys. 17. Podłączenie wyjścia bramki TTL z wejściem bramki CMOS w przypadku zasilania różnymi napięciami zasilania przy pomocy: a) bramki z wyjściem otwarty kolektor; b) tranzystora bipolarnego; c) specjalnego układu zwanego translatorem napięć [1]

Trzeci sposób to zastosowanie specjalizowanego układu sprzęgającego, który posiada dwa wejścia zasilające, jedno łączymy z napięciem zasilającym układ TTL (U_{CC}), a drugi układ CMOS (U_{DD} i U_{SS}). Na rynku jest wiele układów sprzęgających układy TTL i CMOS co świadczy o częstym łączeniu tych układów. Mogą one być jednokierunkowe lub dwukierunkowe tzn. dany układ sprzęgający realizuje tylko jeden rodzaj sprzęgania (TTL → CMOS lub CMOS → TTL) lub oba rodzaje (TTL → CMOS i CMOS → TTL). Na rysunku 17c przedstawiono układ który realizuje oba kierunki sprzęgania (układ 40115B),

jednakże w tym przypadku realizuje konwersje TTL -> CMOS. Kierunek konwersji wybiera się za pomocą sygnałów sterujących D i E, w sposób pokazany w tablicy 2.

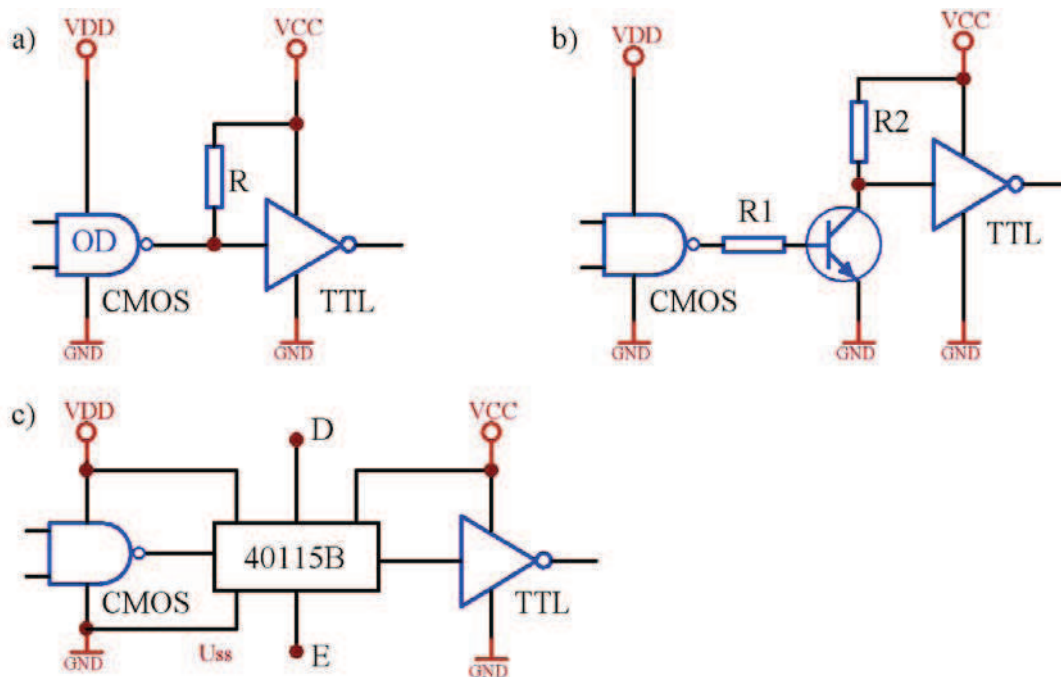
Wejście		Funkcja
E	D	
0	0	CMOS → TTL
1	0	TTL → CMOS
0	1	TTL → CMOS (Z)
1	1	Zabroniony
(Z) – stan wysokiej impedancji		

Tablica2. Tablica prawdy dla wejść sterujących układu 40115B [1]

Sprzężenie CMOS -> TTL

W przypadku zasilania układów CMOS i TTL tym samym napięciem 5V, nie istnieje problem dopasowania napięciowego (co widać na rysunku 15c) łącząc wyjście układu CMOS z wejściem układu TTL. Jediną przeszkodą w łączeniu w sposób bezpośredni wyjścia układu CMOS z wejściem układu TTL może być wydajność prądowa układów CMOS. Należy pamiętać że maksymalny prąd wejściowy bramki TTL w stanie niskim wynosi 1,6mA natomiast dla wejścia TTL LS wynosi 0,4mA. Dla wyjść układów CMOS HC i AC nie jest to żaden problem i tutaj można łączyć w sposób bezpośredni CMOS -> TTL, natomiast dla układów CMOS 4000B i 74C gdzie maksymalny prąd wyjściowy przy zasilaniu 5V nie powinien przekraczać 0,5mA (co było już wielokrotnie podkreślane). Z porównania tych wartości wynika że nie można bezpośrednio łączyć wyjść układów CMOS 4000B i 74C z wejściami standardowych układów TTL, natomiast można z wejściem układu TTL LS (nie bez znaczenia wejście zostało zapisane w liczbie pojedynczej). Chcąc łączyć układy 4000B/74C z układami standardowymi TTL należy użyć jako układów TTL LS, HC, lub AC jako układów pośredniczących. Innym rozwiązaniem jest zastosowanie bramki bufora CMOS, która umożliwia wysterowanie od 2 do 4 wejść standardowych TTL.

Zasilanie układów CMOS napięciem różnym od napięcia 5V powoduje niedopasowanie napięciowe, a więc konieczność stosowania układów dokonujących konwersji napięć (rysunek 18). Konfiguracja tych układów jest identyczna do tych układów które były omawiane przy konwersji napięć dla sprzęgania układów TTL -> CMOS. W pierwszym przypadku (rys. 18a) zastosowano bramkę z otwartym drenem z rezystorem podciągającym do napięcia U_{cc} . W drugim (rys. 18b) zastosowano układ z tranzystorem pracującym jako klucz elektroniczny analogicznie jak w układzie z rysunku 17b. Natomiast jako układu transлятора wykorzystano ten sam układ jak dla konwersji TTL -> CMOS (rys. 18c).



Rys. 18. Podłączenie wyjścia bramki CMOS z wejściem bramki TTL w przypadku zasilania różnymi napięciami zasilania przy pomocy: a) bramki z wyjściem otwarty dren ; b) tranzystora bipolarnego; c) specjalnego układu zwanego translatorem napięć [1]

4.3.2. Pytania sprawdzające

Odpowiadając na pytania, sprawdzisz, czy jesteś przygotowany do wykonania ćwiczeń.

1. Jakie przeszkody uniemożliwiają bezpośrednie połączenie układów cyfrowych zrealizowanych w różnych technologiach ?
2. W przypadku zasilania tymi samymi napięciami układów cyfrowych TTL i CMOS, który kierunek sprzęgania (TTL -> CMOS czy CMOS -> TTL), powoduje niedopasowanie poziomów napięć?
3. Jak wyznaczamy rezystancję rezystora podciągającego R_o w układzie podwyższającym napięcie na wyjściu układu TTL w stanie wysokim ?
4. W przypadku sprzęgania jakich układów, na przeszkodzie stoi zbyt mała obciążalność wyjść?
5. Co należy zrobić, aby móc połączyć układy cyfrowe zasilane różnymi napięciami zasilającymi ?
6. Do czego wykorzystujemy bramki z otwartym kolektorem/drenem w układach sprzęgających ?
7. W jakich stanach pracuje tranzystor w układzie sprzęgającym ?
8. Co to są translatory napięć w układach cyfrowych i jaką funkcję spełniają?
9. Jak wyznaczamy kierunek konwersji w układzie 40115B?

4.3.3. Ćwiczenia

Ćwiczenie 1

Wyznaczenie R_{max} i R_{min} rezystora podciągającego dla układu połączenia wyjścia bramki TTL z wejściem bramki CMOS

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się ze sposobem wyznaczania rezystancji R_{max} i R_{min} ,
- 2) narysować układ pomiarowy do wyznaczania wartości R_{max} i R_{min} w oparciu o rysunek 16,
- 3) zmontować układ według schematu,
- 4) wyznaczyć R_{min} i zapisać wartość,
- 5) wyznaczyć R_{max} i zapisać wartość,
- 6) porównać otrzymane wartości z wartościami w tabelicy 1,
- 7) uzasadnić ewentualne różnice,
- 8) ocenić wpływ rezystora podciągającego na wartość napięcia wyjściowego.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduły do montażu układów cyfrowych,
- zasilacz,
- przewody do montażu,
- miliamperomierz,
- woltomierz,
- rezystor dekadowy.

Ćwiczenie 2

Zbadać układ sprzęgania TTL OC \rightarrow CMOS

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się ze sposobem sterowania wejść układów CMOS z wyjść układów TTL,
- 2) narysować układ do badania sprzęgania układów TTL \rightarrow CMOS za pomocą wyjścia z otwartym kolektorem w oparciu o rysunek 17 a,
- 3) podłączyć napięcie zasilania: do układu TTL +5V, a do układu CMOS +12V,
- 4) dobrać rezystancję z zakresu podanego w tabelicy 1,
- 5) podłączyć generator napięcia prostokątnego o regulowanej częstotliwości i jeden kanał oscyloskopu na wejście bramki TTL, a na wyjście układu CMOS drugi kanał oscyloskopu,
- 6) zmontować układ według schematu,
- 7) zaobserwować przebiegi na wejściu i wyjściu układu dla różnych częstotliwości przebiegu z generatora,
- 8) dokonać oceny otrzymanych przebiegów.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduły do montażu układów cyfrowych,
- zasilacz,

- przewody do montażu,
- oscyloskop dwukanałowy,
- generator przebiegu prostokątnego o regulowanej częstotliwości.

Ćwiczenie 3

Badanie konwertera poziomów logicznych.

Sposób wykonania ćwiczenia.

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się z układem 40115B w oparciu o katalog i materiał nauczania,
- 2) zbadać działania układu zgodnie z tablicą 2, zadając wszystkie kombinacje stanów na wejścia sterujące,
- 3) narysować schematy do pomiaru charakterystyk przejściowych układu 40115B w obu kierunkach pracy,
- 4) połączyć układ do pomiaru charakterystyk przejściowych (wpierw dla jednego kierunku, następnie dla drugiego),
- 5) dokonać pomiarów charakterystyk przejściowych,
- 6) powtórzyć pomiary dla różnych napięć zasilania sprzęganych układów,
- 7) narysować charakterystyki przejściowe,
- 8) wyznaczyć na podstawie charakterystyk przejściowych przyporządkowanie poziomom napięć stanu L i stanu H pomiędzy sygnałami wejściowymi i wyjściowymi,
- 9) zaprezentować wyniki ćwiczeń.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduły do montażu układów cyfrowych,
- zasilacze stabilizowane +5V i +12V,
- przewody do montażu,
- układ translatora napięć 40115,
- regulowane źródło napięcia,
- woltomierze.

4.3.4. Sprawdzian postępów

	Tak	Nie
Czy potrafisz:		
1) wyznaczyć R_{max} i R_{min} rezystora podciągającego?	<input type="checkbox"/>	<input type="checkbox"/>
2) dobrać optymalną wartość rezystora R_0 pod względem szybkości działania i strat mocy?	<input type="checkbox"/>	<input type="checkbox"/>
3) uzasadnić wpływ rezystora podciągającego na wartość napięcia wyjściowego?	<input type="checkbox"/>	<input type="checkbox"/>
4) sprzęgać układy TTL i CMOS z wykorzystaniem bramek z otwartym kolektorem/drenem ?	<input type="checkbox"/>	<input type="checkbox"/>
5) wykorzystać układ translatora napięć do sprzęgania układów TTL i CMOS?	<input type="checkbox"/>	<input type="checkbox"/>
6) porównać współpracę układów TTL i CMOS w badanych układach?	<input type="checkbox"/>	<input type="checkbox"/>
7) dokonać pomiarów zgodnie z zasadami bezpieczeństwa?	<input type="checkbox"/>	<input type="checkbox"/>

4.4. Lokalizacja uszkodzeń

4.4.1. Materiał nauczania

Lokalizacja uszkodzeń jest szerokim zagadnieniem. Na wadliwe działanie układu cyfrowego może mieć wpływ wiele różnych czynników, poczynając od nieprawidłowego zaprojektowania, poprzez zły montaż i uruchomienie, a skończywszy na awariach powstałych w trakcie działania. Nieprawidłowe działanie układu cyfrowego może się objawiać w różny sposób, zależy od rodzaju uszkodzenia i specyfiki danego układu. Na problem lokalizacji uszkodzeń zwraca się szczególną uwagę w trakcie badania różnego rodzaju, układów nie tylko układów cyfrowych. W tym rozdziale zwrócono uwagę na najczęstsze przyczyny złego działania w układach które są tematem tej jednostki modułowej. Omówiono problemy związane z zasilaniem, podłączeniem nieużywanych elementów i wejść układów cyfrowych oraz zwarcia wyjścia do masy i zasilania.

Zasilanie

Układy cyfrowe TTL i CMOS o wyjściach przeciwsoobnych składają się z pary tranzystorów łączących napięcie zasilania z masą. W stanie pracy statycznej takiego układu tylko jeden z tranzystorów przewodzi a drugi jest zatkany. Natomiast w momencie przełączania jest krótki okres przejściowy w którym oba tranzystory przewodzą, co powoduje impulsowy wzrost prądu zasilania. Należy więc pamiętać że w trakcie pracy dynamicznej pobór prądu z źródła zasilania wzrasta w porównaniu z pracą statyczną i jest tym większy im większa jest częstotliwość przełączania. Szczególnie widać to w przypadku układów CMOS, gdzie układy te w stanie pracy statycznej pobierają znikomo mały prąd zasilania, natomiast dla częstotliwości przełączania rzędu kilkudziesięciu MHz jest on już porównywalny z prądem pobieranym przez układy TTL.

Samo zwiększenie poboru prądu z zasilania nie jest problemem o ile właściwie został dobrany zasilacz, natomiast indukcyjności doprowadzeń powodują że w liniach zasilania pojawiają się krótkie szpilki napięciowe (szpilki ujemnej w linii Vcc i szpilki dodatniej w linii masy). Mimo że trwają tylko od 5 do 20ns mogą powodować nieprawidłowe działanie układu szczególnie w układach sekwencyjnych TTL. Układy TTL są szczególnie wrażliwe na szpilki napięciowe pojawiające się na liniach doprowadzających sygnał masy, ze względu na mały margines zakłóceń w stanie niskim wynoszący 0,8V. Dlatego też zalecane jest, aby układy wejściowe wykorzystujące bramki TTL były wyposażone w rezystor podciągający i w stanie aktywnym wymuszały na wejściu stan niski.

Aby zapobiegać tego typu zjawiskom należy na etapie projektowania :

- stosować szerokie ścieżki doprowadzające zasilanie do układów;
- poszerzać powierzchnie masy wszędzie gdzie to jest możliwe, optymalnym rozwiązaniem jest przeznaczenie jednej warstwy płytki wielowarstwowej na masę;
- montować możliwie dużą liczbę bezindukcyjnych kondensatorów odsprzęgających (np. ceramiczne, tantalowe) o pojemności około 100nF, pomiędzy Vcc i gnd.

Zlokalizowanie tego typu błędów wynikających z pojawiania się szpilek na doprowadzeniach zasilania, jest bardzo trudne. Dobrą praktyką jest prowadzenie linii zasilających obok siebie, można wtedy łatwo wlutować dodatkowe kondensatory blokujące i sprawdzić czy to ma wpływ na poprawność działania układu.

Nie używane elementy i nie używane wejścia elementów logicznych

Wyjścia nieużywanych elementów TTL należy ustawić w stan wysoki, ponieważ jak wynika z charakterystyki poboru prądu z zasilania, w tym stanie układ pobiera mniejszy

prąd. Natomiast w przypadku wyjść układów CMOS jest to obojętne, ponieważ w obu stanach układ pobiera znikomo mały prąd z zasilania.

Niewykorzystane wejścia układów cyfrowych, w przypadku układów TTL można zostawić nie podłączone, jednakże się tego nie zaleca z powodu zwiększenia czasu propagacji (ok. 1ns na każde nie podłączone wejście) i zmniejszenia odporności na zakłócenia. W przypadku układów CMOS pozostawienie nie podłączonych wejść jest niedopuszczalne. Napięcie na nie podłączonym wejściu układu CMOS fluktuuje, osiągając po pewnym czasie wartość napięcia progowego, powoduje to nadmierny wzrost prądu ze źródła zasilania. Bramka taka ulega wzbudzeniu i powoduje zakłócenia pracy innych elementów w wyniku sprzężenia się poprzez źródło zasilania. Należy więc nieużywane wejścia podłączyć w następujący sposób:

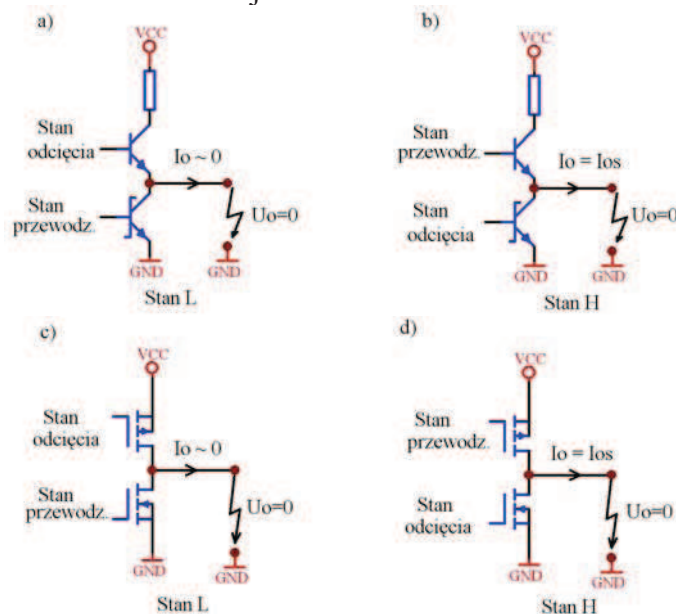
- wejścia bramek AND, NAND do napięcia zasilania poprzez rezystor od 1kΩ do 5kΩ;
- wejścia bramek OR, NOR do masy;
- nieużywane wejścia dowolnych bramek z używanymi wejściami o ile nie przekroczy to dopuszczalnej obciążalności źródła sterującego.

W układach wejściowych często stoimy przed koniecznością zagospodarowania nieużywanych wejść; przykładem może być rysunek 10.

Zwarcie wyjścia do masy

Zwarcie przeciwsobnego wyjścia układu cyfrowego do masy powoduje skutki zależne od stanu w którym się znajduje to wyjście. Dla wyjścia ustawionego w stan niski, zawarcie do masy nie powoduje zauważalnych zmian prądu i napięcia dla układu CMOS, natomiast dla układu TTL-LS obniży napięcie z 0,2V do 0V i spowoduje nieznaczny wzrost prądu.

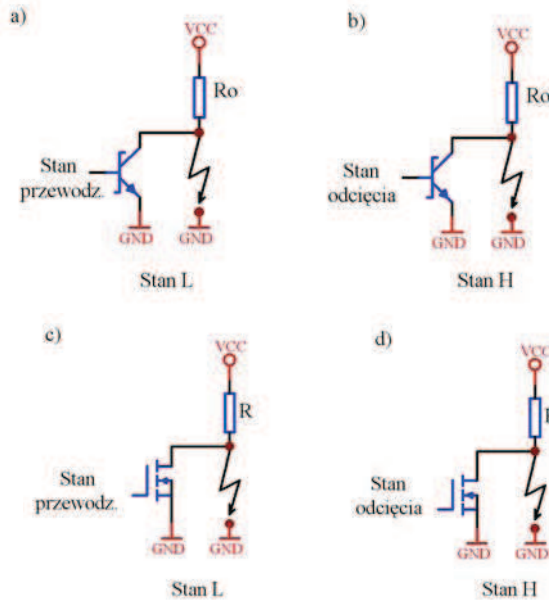
Problem zaczyna się jeżeli zwarte wyjście do masy znajduje się w stanie wysokim, wtedy napięcie maleje do zera i zaczyna płynąć duży prąd zwarciowy I_{os} który osiąga dużą wartość rzędu kilkudziesięciu miliamperów. Powoduje to znaczny wzrost mocy strat w układzie. Moc strat dla takiego wyjścia jest równa $U_{cc} \cdot I_{os}$. Stan taki nie powoduje uszkodzenia układu o ile dotyczy on tylko jednego wyjścia. Jeżeli natomiast jest więcej wyjść w takim stanie to moce tracone na takich wyjściach się sumują i dochodzi do przegrzania i zniszczenia układu. Na rysunku 19 przedstawiono schematy wyjść przeciwsobnych w stanie zwarcia do masy zarówno dla układów TTL-LS jak i CMOS.



Rys. 19. Schematy wyjść przeciwsobnych w stanie zwarcia do masy układów: a) TTL-LS w stanie niskim; b) TTL-LS w stanie wysokim; c) CMOS w stanie niskim; d) CMOS w stanie wysokim.[2]

Możliwość zwarcia jednego wyjścia do masy bez ryzyka uszkodzenia układu, daje nam możliwość łatwego testowania układu cyfrowego poprzez wymuszenie stanu niskiego na danym wejściu podłączonym już do wyjścia innego układu, bez konieczności robienia przerwy w obwodzie.

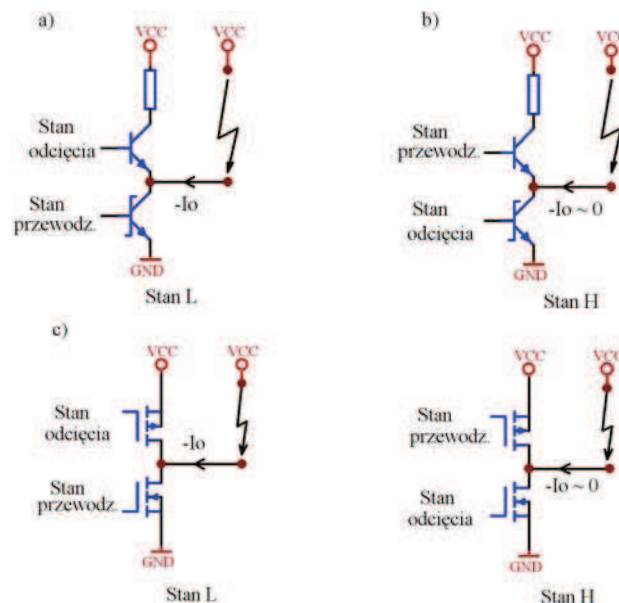
W przypadku wyjść z otwartym kolektorem lub drenem, (jak widać na rysunku 20) zwarcie do masy jest niezależne od stanu w jakim znajduje się to wyjście. Dla tych wyjść nie istnieje problem przegrzania układu poprzez zwarcie większej ich ilości do masy, ponieważ nie istnieje prąd zwarcia wypływający z tego wyjścia.



Rys. 20. Zwarcie do masy wyjść : a) z otwartym kolektorem w stanie niskim; b) z otwartym kolektorem w stanie wysokim; c) z otwartym drenem w stanie niskim; d) z otwartym drenem w stanie wysokim.[2]

Zwarcie wyjścia do zasilania

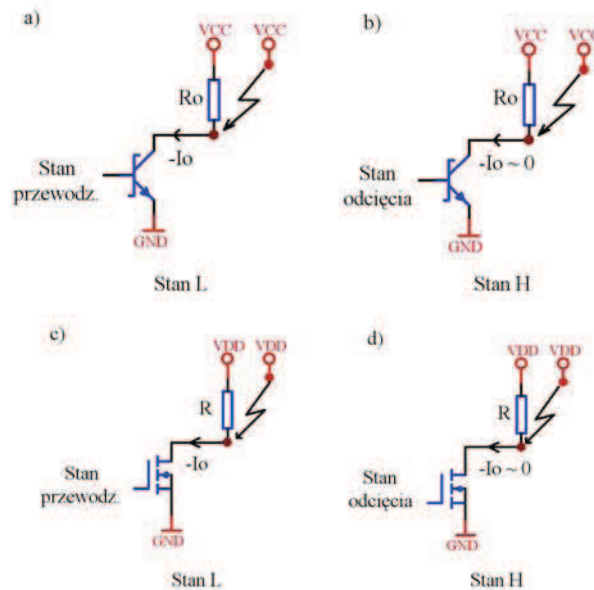
Zwarcie wyjścia układu cyfrowego do napięcia zasilania (odwrotnie jak przypadku zwarcia wyjścia do masy) dla stanu wysokiego na wyjściu nie powoduje istotnych skutków w pracy układu, natomiast ma znaczenie dla stanu niskiego na wyjściu.



Rys. 21. Schematy wyjść przeciwsobnych w stanie zwarcia do zasilania układów: a) TTL-LS w stanie niskim; b) TTL-LS w stanie wysokim; c) CMOS w stanie niskim; d) CMOS w stanie wysokim.[2]

Wystąpienie zwarcia do napięcia zasilania w trakcie jak wyjście to znajduje się w stanie niskim powoduje znaczny wzrost prądu wpływającego do wyjścia układu. Wartość tego prądu jest większa niż prąd zwarciowy dla układów TTL-LS i taki sam jak prąd zwarciowy dla układów CMOS. Z powodu tego że prąd ten jest większy niż prąd zwarciowy, jest on większym zagrożeniem dla układów cyfrowych, jednakże krótkotrwałe zwarcia są dopuszczalne. Można więc, w podobny sposób jak wcześniej opisano testować układy cyfrowe, wymuszając stan wysoki na wejściu który jest podłączony do wyjścia innej bramki.

Na rysunku 21 przedstawiono wyjścia przeciwobne układów TTL-LS i CMOS w stanie zwarcia do napięcia zasilania, a na rysunku 22 wyjścia z otwartym kolektorem i drenem w takim samym połączeniu. Jak widać (w odróżnieniu do stanu zwarcia do masy) zwarcie do napięcia zasilania ma taki sam wpływ na wyjścia przeciwobne jak i na wyjścia z otwartym kolektorem lub drenem.



Rys. 22. Zwarcie do zasilania wyjść : a) z otwartym kolektorem w stanie niskim; b) z otwartym kolektorem w stanie wysokim; c) z otwartym drenem w stanie niskim; d) z otwartym drenem w stanie wysokim.[2]

4.4.2. Pytania sprawdzające

Odpowiadając na pytania, sprawdzisz, czy jesteś przygotowany do wykonania ćwiczeń.

1. Jak zapobiegać zjawiskom nieprawidłowego działania układów cyfrowych w wyniku sprzęgania się układów poprzez obwody zasilania ?
2. Co należy zrobić z nieużywanymi elementami w układzie scalonym?
3. Co należy zrobić z nieużywanymi wejściami układu cyfrowego?
4. Jakie skutki powoduje zwarcie wyjścia przeciwobnego układu cyfrowego do masy?
5. Co to jest prąd zwarciowy?
6. Jakie skutki powoduje zwarcie wyjścia typu otwarty kolektor układu cyfrowego do masy?
7. Jakie skutki powoduje zwarcie wyjścia przeciwobnego układu cyfrowego do zasilania?
8. Jakie skutki powoduje zwarcie wyjścia typu otwarty kolektor układu cyfrowego do zasilania?
9. Czy można i kiedy zwierać wyjścia układów cyfrowych do masy lub zasilania w celu testowania układu cyfrowego?

4.4.3. Ćwiczenia

Ćwiczenie 1

Badanie bramek z nieużywanymi wejściami (wejściami „w powietrzu”).

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) podłączyć do wejść wielowejsiowej bramki TTL zadajniki, przy czym przynajmniej jedno z tych wejść pozostawiamy nie podłączone,
- 2) podłączyć detektor stanów logicznych do wyjścia tej bramki i sporządzić tablice prawdy,
- 3) zmierzyć woltomierzem napięcie na nie podłączonych wejściach,
- 4) podłączyć oscyloskop na wyjście i zaobserwować sygnał na wyjściu,
- 5) powtórzyć pomiary dla bramki CMOS,
- 6) zinterpretować uzyskane wyniki,
- 7) wskazać na różnice pomiędzy zachowaniem się układów TTL i CMOS,
- 8) sformułować zasady postępowania z nie podłączonymi wejściami.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduły do montażu układów cyfrowych,
- zasilacz,
- przewody do montażu,
- woltomierz,
- detektor stanów logicznych,
- oscyloskop.

Ćwiczenie 2

Badanie bramek z wyjściem zwartym do masy.

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się z materiałem dotyczącym zwarcia wyjścia układu cyfrowego do masy,
- 2) narysować układ pomiarowy do badania bramki TTL z wyjściem przeciwsobnym zwartym do masy – pomiar prądu zasilania i prądu wyjściowego,
- 3) wysterować bramkę w stan niski i sprawdzić prąd pobierany ze źródła zasilania i płynący na wyjściu,
- 4) wysterować bramkę w stan wysoki i zmierzyć prąd pobierany ze źródła zasilania i na wyjściu układu,
- 5) powtórzyć pomiary dla bramki CMOS z wyjściem przeciwsobnym,
- 6) wyciągnąć wnioski z wyników pomiaru.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduły do montażu układów cyfrowych,
- zasilacz,
- przewody do montażu,
- dwa miliamperomierze.

Ćwiczenie 3

Lokalizacja uszkodzenia w układzie kombinacyjnym.

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) zapoznać się z tablicą prawdy dla funkcji realizowanej przez ten układ,
- 2) zapoznać się ze schematem logicznym badanego układu kombinacyjnego,
- 3) sporządzić tablice prawdy dla badanego układu,
- 4) dla stanów na wejściu dla których otrzymano błędny stan na wyjściu rozpocząć sprawdzanie układu za pomocą detektora stanów logicznych, w kierunku od wejść do wyjścia,
- 5) zaprezentować wynik pomiarów,
- 6) wyciągnąć wnioski z wyników pomiaru.

Wyposażenie stanowiska pracy:

- trenażery z zmontowanym układem kombinacyjnym w którym jest uszkodzenie,
- tablica prawdy poprawnie działającego układu,
- schemat logiczny układu,
- zasilacz,
- detektor stanów logicznych.

Ćwiczenie 4

Badanie bramek z wyjściem zwartym do potencjału Vcc źródła zasilania.

Sposób wykonania ćwiczenia

Aby wykonać ćwiczenie powinieneś:

- 1) narysować układ pomiarowy do badania bramki TTL z wyjściem przeciwsobnym zwartym do potencjału Vcc źródła zasilania – sterowanie stanami wejściowymi, pomiar prądu zasilania i wyjściowego,
- 2) wysterować bramkę w stan wysoki i sprawdzić prąd pobierany ze źródła zasilania i na wyjściu układu,
- 3) wysterować bramkę w stan niski i sprawdzić prąd pobierany ze źródła zasilania i na wyjściu układu,
- 4) sprawdzić poprzez dotyk temperaturę układu scalonego,
- 5) pomiary powtórzyć dla bramki CMOS z wyjściem przeciwsobnym.

Wyposażenie stanowiska pracy:

- trenażery wyposażone w moduły do montażu układów cyfrowych,
- zasilacz,
- przewody do montażu,
- dwa miliamperomierze.

4.4.4. Sprawdzian postępów

	Tak	Nie
Czy potrafisz:		
1) uzasadnić wpływ kondensatora sprzęgającego na działanie układu cyfrowego?	<input type="checkbox"/>	<input type="checkbox"/>
2) podłączyć nieużywane elementy układu cyfrowego ?	<input type="checkbox"/>	<input type="checkbox"/>
3) podłączyć nieużywane wejścia układu cyfrowego?	<input type="checkbox"/>	<input type="checkbox"/>
4) uzasadnić wpływ zwarcia wyjścia układu cyfrowego do masy na jego działania?	<input type="checkbox"/>	<input type="checkbox"/>
5) uzasadnić wpływ zwarcia wyjścia układu cyfrowego, do potencjału Vcc źródła zasilania?	<input type="checkbox"/>	<input type="checkbox"/>
6) wykorzystać możliwość zwarcia wyjścia układu do testowania urządzenia cyfrowego?	<input type="checkbox"/>	<input type="checkbox"/>
7) dokonać pomiarów zgodnie z zasadami bezpieczeństwa?	<input type="checkbox"/>	<input type="checkbox"/>

6. LITERATURA

1. Głocki W.: Układy cyfrowe, WSiP, Warszawa 1996.
2. Głocki W, Grabowski L.: Pracownia podstaw techniki cyfrowej, WSiP, Warszawa 1998.
3. Horowitz P., Hill W.: Sztuka elektroniki, Wydawnictwo Komunikacji i Łączności, Warszawa 1997.
4. Sasal W.: Układy scalone serii UCA64/UCY74. Parametry i zastosowanie, Wydawnictwo Komunikacji i Łączności Warszawa 1990.
5. Wilkinson B.: Układy cyfrowe, Wydawnictwo Komunikacji i Łączności, Warszawa 2003.\
6. www.datasheetcatalog.com